

#2 4/23/02
P.m.
日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 4月25日

出願番号
Application Number:

特願2001-127205

[ST.10/C]:

[JP2001-127205]

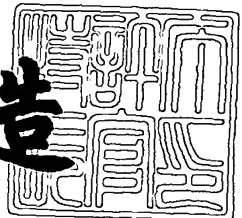
出願人
Applicant(s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

2002年 2月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3007812

【書類名】 特許願
【整理番号】 H01001341
【提出日】 平成13年 4月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
G11C 16/02

【発明者】
【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 梅本 由紀子

【発明者】
【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 田中 利広

【発明者】
【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 谷川 博之

【発明者】
【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 品川 裕

【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所

【特許出願人】
【識別番号】 000233169
【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置、そのデータ消去方法、情報処理装置
および不揮発性記憶装置システム

【特許請求の範囲】

【請求項 1】 制御部とメモリアレイ部と電圧生成部を有し、

上記メモリアレイ部は、第 1 の半導体領域と、第 1 の半導体領域上に形成される第 2 の半導体領域と、第 2 の半導体領域上に形成されるメモリセル部を有し、

上記制御部は、外部から上記第 2 の半導体領域に電荷をチャージすることが必要なアクセス指示を受けた時に又はアクセス指示を受ける前に、上記第 2 の半導体領域に印加するための電圧の生成を上記電圧生成部に指示する制御信号を出力し、

外部から上記第 2 の半導体領域にチャージした電荷をディスチャージすべき事を指示された時に、上記第 2 の半導体領域にチャージした電荷をディスチャージするための制御信号を上記電圧生成部に指示することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 制御部とメモリアレイ部と電圧生成部を有し、

上記メモリアレイ部は、第 1 の半導体領域と、第 1 の半導体領域上に形成される第 2 の半導体領域と、第 2 の半導体領域上に形成されるメモリセル部を有し、

上記制御部は、外部より第 1 動作指示と第 2 動作指示を受けることが可能であり、

上記第 1 動作指示を受けた場合、上記電圧生成部に対して、上記第 2 の半導体領域に電荷をチャージするために印加する電圧の生成を指示し、

上記第 2 動作指示を受けた場合、上記電圧生成部に対して、上記第 2 の半導体領域にチャージされた電荷のディスチャージを指示することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 中央処理装置と不揮発性半導体記憶装置が 1 の半導体基板上に形成され、

上記不揮発性半導体記憶装置は、メモリアレイ部と電圧生成部を有し、上記中央処理装置からの制御信号に応じて第 1 動作と第 2 動作を含む動作を行い、

上記メモリアレイ部は、上記半導体基板上に第 1 の半導体領域と、第 1 の半導体領域上にデータを記憶するためのメモリセル部が形成され、

上記中央処理装置は、状態を記憶するためのレジスタ部を有し、

上記不揮発性半導体記憶装置に対して上記第 1 動作を指示する場合において、

上記レジスタ部が第 1 の状態を示す場合、上記不揮発性半導体記憶装置に対して、第 1 の時間の間、上記第 1 の半導体領域に電荷をチャージするための電圧の生成を指示し、

上記レジスタ部が第 2 の状態を示す場合、上記不揮発性半導体記憶装置に対して、第 2 の時間の間、上記第 1 の半導体領域に電荷をチャージするための電圧の生成を指示し、

上記不揮発性半導体記憶装置に対して上記第 2 動作を指示する場合、上記不揮発性半導体記憶装置に対して、上記第 1 の半導体領域にチャージされた電荷をデイスチャージすることを指示し、上記レジスタ部を第 1 の状態とすることを特徴とする情報処理装置。

【請求項 4】 制御装置と 1 以上の不揮発性半導体記憶装置を有し、

上記制御装置は、外部とのインターフェース部を有し、外部から第 1 動作と第 2 動作を指示され、動作指示に応じて所定の不揮発性半導体記憶装置を選択し、選択された不揮発性半導体記憶装置に対して、上記第 1 動作に応じて、第 1 動作信号を出力し、第 2 動作に応じて、第 2 動作信号と第 3 動作信号を順次出力し、

上記 1 以上の不揮発性半導体記憶装置はそれぞれ、制御部とメモリアレイ部と電圧生成部を有し、

上記メモリアレイ部は、第 1 半導体領域と、第 1 の半導体領域上に形成される第 2 の半導体領域と、第 2 の半導体領域上に形成されるメモリセル部を有し、

上記不揮発性半導体記憶装置は、

上記第 1 動作信号に応じて、上記制御部は上記第 2 の半導体領域に電荷をチャージするための電圧の生成を、上記電圧生成部に指示し、電荷のチャージ完了に応じて第 1 動作信号に応じた所定の動作を行い、

上記第 2 動作信号に応じて、上記制御部は上記第 2 の半導体領域にチャージした電荷のデイスチャージ動作を行い、

上記第 3 動作信号に応じて、上記制御部は第 3 動作信号に応じた所定の動作を行うことを特徴とする不揮発性記憶装置システム。

【請求項 5】 制御装置と 1 以上の不揮発性半導体記憶装置を有し、

上記制御装置は、外部とのインターフェース部を有し、インターフェース部を介して外部から第 1 動作と第 2 動作を指示され、動作指示に応じて所定の不揮発性半導体記憶装置を選択し、選択された不揮発性半導体記憶装置に対して、上記第 1 動作に応じて第 1 動作信号と第 2 動作信号を順次出力し、上記第 2 動作に応じて第 3 動作信号を出力し、

上記 1 以上の不揮発性半導体記憶装置はそれぞれ、制御部とメモリアレイ部と電圧生成部を有し、

上記メモリアレイ部は、第 1 半導体領域と、第 1 の半導体領域上に形成される第 2 の半導体領域と、第 2 の半導体領域上に形成されるメモリセル部を有し、

上記不揮発性半導体記憶装置は、

上記第 1 動作信号に応じて、上記制御部は上記第 2 の半導体領域に電荷をチャージするための電圧の生成を上記電圧生成部に指示し、

上記第 2 動作信号に応じて、上記制御部は第 2 動作信号に応じた所定の動作を行い、

上記第 3 動作信号に応じて、上記制御部は第 3 動作信号に応じた所定の動作を行うことを特徴とする不揮発性記憶装置システム。

【請求項 6】 (a) 半導体基板中の第 1 の半導体領域に形成されたソース、およびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

(b) 前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、

(c) 前記制御電極に電圧を印加する第 1 の電圧印加手段と、

(d) 前記第 1 の半導体領域に電圧を印加する第 2 の電圧印加手段と、

(e) 前記第 3 の半導体領域に電圧を印加する第 3 の電圧印加手段と、

を有することを特徴とする不揮発性半導体記憶装置。

【請求項 7】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子をトンネル現象によって前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 9】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域には、第 2 の電圧が印加され、前記第 3 の半導体領域には第 3 の電圧が印加され、

前記第 3 の電圧は、前記第 2 の電圧より高いことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 10】 前記不揮発性半導体記憶装置は、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬくことによりデータを電氣的に消去することが可能であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 11】 前記不揮発性半導体記憶装置は、前記メモリセルが複数形成されたメモリセル群を複数有し、各メモリセル群中のメモリセルは、分離されていない第 3 の半導体領域の上部に形成されていることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 12】 前記不揮発性半導体記憶装置は、前記メモリセルが複数形成されたメモリセル群を複数有し、各メモリセル群中のメモリセルは、所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成されていることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 13】 前記不揮発性半導体記憶装置は、前記メモリセルを第 1 の

所定個数を単位とする第 1 のメモリセル群と、前記メモリセルを前記第 1 の所定個数より多い第 2 の所定個数を単位とする第 2 のメモリセル群と、を複数有し、

前記複数の第 1 のメモリセル群中のメモリセルは、第 3 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成され、

前記複数の第 2 のメモリセル群中のメモリセルは、前記第 3 の所定個数より多い第 4 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成され、ていることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 1 4】 前記不揮発性半導体記憶装置は、さらに、前記メモリセルの閾値電圧を判定する手段を有し、

第 1 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬき、

前記第 1 の期間に続く第 2 の期間に、前記メモリセルの閾値電圧を判定し、前記メモリセルの閾値電圧が、所定の閾値電圧より高い場合には、

前記第 2 の期間に続く第 3 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬくことが可能であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 1 5】 前記第 1 から第 3 の期間中、前記第 3 の半導体領域には、第 3 の電圧が印加されることを特徴とする請求項 1 4 記載の不揮発性半導体記憶装置。

【請求項 1 6】 半導体基板中の第 1 の半導体領域に形成されたソースおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、を有する不揮発性半導体記憶装置の

前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加し、前記第 1 の電圧と第 2 の電圧との電位差によって、前記電荷蓄積層に

蓄積された電子を前記第 1 の半導体領域中に引き抜くことにより前記電荷蓄積層に蓄積されたデータを消去方法する方法であって、

前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加している期間に、前記第 3 の半導体領域に前記第 2 の電圧とは異なる電圧供給手段から印加される第 3 の電圧が印加されることを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 1 7】 前記第 3 の電圧は、前記第 2 の電圧より高いことを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置のデータ消去方法。

【請求項 1 8】 半導体基板中の第 1 の半導体領域に形成されたソースおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、を有する不揮発性半導体記憶装置の

第 1 の期間に、前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加し、前記第 1 の電圧と第 2 の電圧との電位差によって、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜く工程と、

前記第 1 の期間に続く第 2 の期間に、前記メモリセルの閾値電圧を判定する工程と、

前記メモリセルの閾値電圧が、所定の閾値電圧より高い場合には、前記第 2 の期間に続く第 3 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬく工程と、を有し、

前記第 1 から第 3 の期間中、前記第 3 の半導体領域には、第 3 の電圧が印加されることを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 1 9】 前記第 3 の電圧は、前記第 2 の電圧より高いことを特徴とする請求項 1 8 記載の不揮発性半導体記憶装置のデータ消去方法。

【請求項 2 0】 (a) 半導体基板中の第 1 の半導体領域に形成されたソー

スおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

(b) 前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域 (NiSO) と、

(c) 前記制御電極に電圧を印加する第 1 の手段と、

(d) 前記第 1 の半導体領域に電圧を印加する第 2 の手段と、

(e) 前記第 3 の半導体領域に電圧が印加されるのを禁止する第 3 の手段と、
を有することを特徴とする不揮発性半導体記憶装置。

【請求項 2 1】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 2】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子をトンネル現象によって前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 3】 前記不揮発性半導体記憶装置の制御電極には、前記第 1 の手段によって第 1 の電圧が印加され、前記第 1 の半導体領域には、前記第 2 の手段によって第 2 の電圧が印加され、前記第 3 の半導体領域は、前記第 3 の手段によってフローティング状態に維持されることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 4】 前記不揮発性半導体記憶装置は、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬくことによりデータを電氣的に消去することが可能であることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 5】 前記不揮発性半導体記憶装置は、前記メモリセルが複数形成されたメモリセル群を複数有し、各メモリセル群中のメモリセルは、分離されていない第 3 の半導体領域の上部に形成されていることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 6】 前記不揮発性半導体記憶装置は、前記メモリセルが複数形成されたメモリセル群を複数有し、各メモリセル群中のメモリセルは、所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成されていることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 7】 前記不揮発性半導体記憶装置は、前記メモリセルを第 1 の所定個数を単位とする第 1 のメモリセル群と、前記メモリセルを前記第 1 の所定個数より多い第 2 の所定個数を単位とする第 2 のメモリセル群と、を複数有し、

前記複数の第 1 のメモリセル群中のメモリセルは、第 3 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成され、

前記複数の第 2 のメモリセル群中のメモリセルが形成された前記第 1 の半導体領域は、前記第 3 の所定個数より多い第 4 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域中に形成され、ていることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 8】 前記不揮発性半導体記憶装置は、さらに、前記メモリセルの閾値電圧を判定する手段を有し、

第 1 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬき、

前記第 1 の期間に続く第 2 の期間に、前記メモリセルの閾値電圧を判定し、前記メモリセルの閾値電圧が、所定の閾値電圧より高い場合には、

前記第 2 の期間に続く第 3 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引きぬくことが可能であることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 9】 前記第 1 から第 3 の期間中、前記第 3 の半導体領域は、フ

ローティング状態に維持されることを特徴とする請求項 2 8 記載の不揮発性半導体記憶装置。

【請求項 3 0】 半導体基板中の第 1 の半導体領域に形成されたソースおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、を有する不揮発性半導体記憶装置の

前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加し、前記第 1 の電圧と第 2 の電圧との電位差によって、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜くことにより前記電荷蓄積層に蓄積されたデータを消去する方法であって、

前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加している期間に、前記第 3 の半導体領域をフローティング状態に維持することを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 3 1】 半導体基板中の第 1 の半導体領域に形成されたソースおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルと、

前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、を有する不揮発性半導体記憶装置の

第 1 の期間に、前記制御電極に、第 1 の電圧を印加し、前記第 1 の半導体領域に、第 2 の電圧を印加し、前記第 1 の電圧と第 2 の電圧との電位差によって、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜く工程と、

前記第 1 の期間に続く第 2 の期間に、前記メモリセルの閾値電圧を判定する工程と、

前記メモリセルの閾値電圧が、所定の閾値電圧より高い場合には、前記第 2 の期間に続く第 3 の期間に、前記制御電極に第 1 の電圧を印加し、前記第 1 の半導体領域に第 2 の電圧を印加することにより、前記電荷蓄積層に蓄積された電子を

前記第 1 の半導体領域中に引きぬく工程と、
を有し、

前記第 1 から第 3 の期間中、前記第 3 の半導体領域は、フローティング状態に維持されることを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 3 2】 (a) 半導体基板中の第 1 の半導体領域の主表面に形成されたメモリセルであって、前記第 1 の半導体領域中のソースおよびドレイン用の第 2 の半導体領域、前記ソースおよびドレイン用の第 2 の半導体領域間上にゲート絶縁膜を介して形成された電荷蓄積層および前記電荷蓄積層上に絶縁膜を介して設けられた制御電極を有するメモリセルを複数有するメモリセル群を複数有し

(b) 前記第 1 の半導体領域と半導体基板との間に形成された第 3 の半導体領域と、

(c) 前記制御電極に電圧を印加する第 1 の電圧印加手段と、

(d) 前記第 1 の半導体領域および第 3 の半導体領域に電圧を印加する第 2 の電圧印加手段と、

を有する不揮発性半導体記憶装置であって、

前記第 3 の半導体領域は、複数のメモリセル群中のメモリセルの所定個数を単位として前記単位毎に分離されていることを特徴とする不揮発性半導体記憶装置。

【請求項 3 3】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域および第 3 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子を前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 3 2 記載の不揮発性半導体記憶装置。

【請求項 3 4】 前記不揮発性半導体記憶装置の制御電極には、第 1 の電圧が印加され、前記第 1 の半導体領域および第 3 の半導体領域には、第 2 の電圧が印加され、

前記第 1 の電圧と第 2 の電圧との電位差は、前記電荷蓄積層に蓄積された電子

をトンネル現象によって前記第 1 の半導体領域中に引き抜くことが可能な電圧であることを特徴とする請求項 3 2 記載の不揮発性半導体記憶装置。

【請求項 3 5】 前記複数のメモリセル群は、前記メモリセルを第 1 の所定個数を単位とする第 1 のメモリセル群と、前記メモリセルを前記第 1 の所定個数より多い第 2 の所定個数を単位とする第 2 のメモリセル群と、を複数有し、

前記複数の第 1 のメモリセル群中のメモリセルは、第 3 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成され、

前記複数の第 2 のメモリセル群中のメモリセルは、前記第 3 の所定個数より多い第 4 の所定個数を単位として前記単位毎に分離された第 3 の半導体領域の上部に形成され、ていることを特徴とする請求項 3 2 記載の不揮発性半導体記憶装置。

【請求項 3 6】 上記メモリセル部は複数のメモリセルを有し、それぞれのメモリセルはチャンネル領域とチャンネル領域に形成された第 1 及び第 2 の領域と、チャンネル領域上に形成された電荷蓄積領域と、電荷蓄積領域上に形成された制御ゲート領域を有することを特徴とする請求項 1 もしくは 2 記載の不揮発性半導体記憶装置。

【請求項 3 7】 上記メモリセル部は複数のメモリセルを有し、それぞれのメモリセルはチャンネル領域とチャンネル領域に形成された第 1 及び第 2 の領域と、チャンネル領域上に形成された電荷蓄積領域と、電荷蓄積領域上に形成された制御ゲート領域を有することを特徴とする請求項 3 記載の情報処理装置。

【請求項 3 8】 上記メモリセル部は複数のメモリセルを有し、それぞれのメモリセルはチャンネル領域とチャンネル領域に形成された第 1 及び第 2 の領域と、チャンネル領域上に形成された電荷蓄積領域と、電荷蓄積領域上に形成された制御ゲート領域を有することを特徴とする請求項 4 もしくは 5 記載の不揮発性記憶装置システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、そのデータ消去方法、情報処理装置およ

び不揮発性記憶装置システムに関し、特に、電氣的に書き込みおよび消去が可能な不揮発性記憶装置（E E P R O M ; Electric Erasable Programmable Read Only Memory）に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

例えば、フラッシュメモリに代表されるこのようなE E P R O Mは、例えば、半導体基板中のウェル表面に形成されたソースおよびドレイン、このソースおよびドレイン上にゲート絶縁膜を介して形成された電荷蓄積層（又は浮遊電極）およびこの電荷蓄積層（又は浮遊電極）上に絶縁膜を介して設けられた制御電極を有し、電荷蓄積層（又は浮遊電極）への電子の注入の有無（メモリセルの閾値電圧の高低）によって保持データ（“1”もしくは“0”）が判別される。

【 0 0 0 3 】

このE E P R O Mへのデータの書き込みや消去は、選択されたメモリセルの制御電極と半導体基板（ウェル、ソースもしくはドレイン）との間の電位差によって生じるホットエレクトロンや、トンネル現象によって放出される電子の電荷蓄積層（又は浮遊電極）への注入、引き抜きによって行う。

【 0 0 0 4 】

【発明が解決しようとする課題】

このように、E E P R O M（フラッシュメモリ）の電荷蓄積層（又は浮遊電極）からの電子の引き抜き動作を消去と定義した場合、この消去の際には、前述の電位差を確保するため選択されたメモリセルの制御電極に高い負の電圧（電圧の絶対値が大きい負の電圧）を印加する必要がある。

【 0 0 0 5 】

しかしながら、制御電極に高い負の電圧（電圧の絶対値が大きい負の電圧）を印加した場合、制御電極を駆動する周辺回路を構成するM I S F E T（Metal Insulator Semiconductor Field Effect Transistor）の耐圧を上げなくてはならない。このようにM I S F E Tの耐圧を上げるためには、ゲート絶縁膜の膜厚を厚くしなければならず、このようなゲート絶縁膜の厚膜化は、M I F E Tの駆動能力の低下につながり、引いては、読み出し速度を犠牲にしてしまう。

【 0 0 0 6 】

そこで、半導体基板中のウエルに正の電圧を印加することによって制御電極に印加する負の電圧を低く（電圧の絶対値を小さく）しつつ、所望の電位差を得る技術が検討されている。

【 0 0 0 7 】

本発明者らは、不揮発性記憶装置に関連する研究・開発に従事しており、前述の技術について検討を行った結果、消去電位に到達するまでの時間（所望量の電子の引き抜きに要する時間）が、長くなるという問題に直面した。

【 0 0 0 8 】

本発明者らは、この問題の原因について鋭意検討した結果、ウエルと半導体基板とを電氣的に分離するため分離領域によって生じる寄生容量が原因ではないかという結論に達した。

【 0 0 0 9 】

即ち、半導体基板中のウエルに正の電圧を印加する場合、ウエルと半導体基板とを電氣的に分離するためウエルと半導体基板との間にウエルと逆導電型の分離領域を形成する。このEEPROM（フラッシュメモリ）へのデータの消去の際には、ウエルと分離領域、分離領域と半導体基板との間に生じる寄生容量を充電しなければならず、消去時間（電圧が所望の値に到達する時間を含む）が長くなる。

【 0 0 1 0 】

また、消去の際には、余分なストレスをかけないようにするため、メモリセルの閾値電圧が所定の閾値電圧となっているかどうかを判定した後、メモリセルの閾値電圧が所望の閾値電圧より高い場合には、再消去を行う（この一連の動作を「消去ペリファイ動作」という）。

【 0 0 1 1 】

このメモリセルの閾値電圧の判定の期間は、前述の充電された寄生容量を放電しなければならず、また、メモリセルの再消去の際には、前述の放電された寄生容量を再び充電しなければならない。

【 0 0 1 2 】

このように、消去ベリファイ動作中は、前述の寄生容量の充放電が繰り返し行われるため、消去時間の増加の問題は、益々大きくなる。

【 0 0 1 3 】

本発明の目的は、E E P R O M（フラッシュメモリ）等の不揮発性記憶装置のデータの消去時間の短縮を図ることのできる技術を提供することにある。

【 0 0 1 4 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 6 】

（１）本発明の不揮発性半導体記憶装置は、半導体基板と、第１の半導体領域と、第１の半導体領域上に形成される第２の半導体領域と、第２の半導体領域上に形成されるメモリセル部と、外部から上記第２の半導体領域に電荷をチャージすることが必要なアクセス指示を受けた時に又はアクセス指示を受ける前に、上記第２の半導体領域に印加するための電圧の生成を上記電圧生成部に指示する制御信号を出力し、外部から上記第２の半導体領域にチャージした電荷をディスチャージすべき事を指示された時に、上記第２の半導体領域にチャージした電荷をディスチャージするための制御信号を上記電圧生成部に指示する制御部を有するものである。

【 0 0 1 7 】

（２）本発明の不揮発性半導体記憶装置は、半導体基板と、不揮発性メモリセルが形成される第１の半導体領域との間に形成された第２の半導体領域（N i S O）に電圧を印加する手段であって、前記第１の半導体領域に電圧を印加する手段とは異なる電圧印加手段を有するものである。

【 0 0 1 8 】

（３）本発明の不揮発性半導体記憶装置は、半導体基板と、不揮発性メモリセ

ルが形成される第 1 の半導体領域との間に形成された第 2 の半導体領域に電圧の印加を禁止する手段を有するものである。

【 0 0 1 9 】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 2 0 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【 0 0 2 1 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【 0 0 2 2 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 3 】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 4 】

また、本実施の形態においては、断面図以外であっても図面を見易くするためにハッチングを付す図もある。

【 0 0 2 5 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【 0 0 2 6 】

(実施の形態 1)

まず、本発明者らが本発明をするのに検討したフラッシュメモリの構成、データ書込み、消去動作および課題について説明する。

【 0 0 2 7 】

本発明者らが検討したフラッシュメモリは、例えばデータ線を階層化した D i N O R 型のフラッシュメモリである。図 2 4 は、その要部回路図である。

【 0 0 2 8 】

図示するように、データ線は、主データ（ビット）線 G B L 0 0 0 0 ~ G B L 2 0 4 7 と、副データ（ビット）線 S B L 0 0 0 0 0 ~ S B L 3 2 0 4 7 とに階層化されている。即ち、主データ（ビット）線と副データ（ビット）線とは（例えば、G B L 0 0 0 0 と S B L 0 0 0 0 0 ~ S B L 3 0 0 0 0 とは）、階層化トランジスタ（T 0 0 ~ T 3 0）を介して接続されている。

【 0 0 2 9 】

主データ線に接続される階層化トランジスタのゲート電極は、信号配線（ゲート線）Z 0 ~ Z 3 と電氣的に接続されている。また、各ブロックのメモリのソースは、ブロック毎に共通ソース線 S C 0 ~ S C 3 と接続される。

【 0 0 3 0 】

上記副データ線、例えば、S B L 0 0 0 0 0 と共通ソース線 S C 0 との間には、複数のメモリセル M C 0 0 0 0 0 ~ M C 0 0 2 5 5 が並列に接続されている。

【 0 0 3 1 】

ここで、信号配線（ゲート線）Z 0 に共通に接続される階層化トランジスタ T 0 0 ~ T 0 2 0 4 7 を介して主データ線 G B L 0 0 0 0 ~ G B L 2 0 4 7 に接続される複数のメモリセル M C 0 0 0 0 0 ~ M C 2 0 4 7 0 2 5 5 を消去ブロック 0 とする。また、同様に、信号配線（ゲート線）Z 1 に共通に接続される階層化トランジスタ T 1 0 ~ T 1 2 0 4 7 を介して主データ線に接続される複数のメモリセル M C 0 1 0 0 0 ~ M C 2 0 4 7 1 2 5 5 を消去ブロック 1 と、信号配線（ゲート線）Z 2 に共通に接続される階層化トランジスタ T 2 0 ~ T 2 2 0 4 7 を

介して主データ線に接続される複数のメモリセルMC02000～MC20472255を消去ブロック2と、信号配線（ゲート線）Z3に共通に接続される階層化トランジスタT30～T32047を介して主データ線に接続される複数のメモリセルMC03000～MC20473255を消去ブロック3とする。

【0032】

同一行に隣接するメモリセル、例えば、MC00000～MC20470000の制御電極は、同一のワード線例えば、WL0000に電氣的に接続されている。

【0033】

ここで、図29のメモリ接続は、データ線を階層化したDiNOR型であるが、さらに、ソース線を階層化したAND型であってもよい。この場合も、消去時にメモリセルが形成されるウエルに正の電圧を印加するので、少なくとも、消去ブロック単位で、データ線を階層化する必要がある。また、消去ブロック単位を複数に階層化してもよい。メモリセルが形成されるウエルに、正の電圧を印加すれば、印加した消去ブロック内の全ての副データ線もその正の電圧になる。よって、消去ブロック毎に正の電圧をとどめるために（主データ線にその電圧が印加されれば消去対象外のメモリに、その電圧が印加されるために）、少なくとも消去ブロック単位で、階層化している。

【0034】

各メモリセル（MC00000～MC20473255）は、図25に示すように、半導体基板PSUB中に形成されたp型ウエルPWL0～2の主表面に形成されている。このp型ウエルPWL0～2上には、メモリセルのソース、ドレイン領域21が形成され、また、このソース、ドレイン間上には、ゲート絶縁膜GZを介して浮遊電極FGが形成され、この浮遊電極（電荷蓄積層）FG上には絶縁膜を介して制御電極CGが形成されている。このように各メモリセルは、2層ゲート電極構造を有しており、例えば、電子（ホットエレクトロントロン）を浮遊電極FGに注入することでデータを書き込み、また、FN（Fowler-Nordheim）トンネル現象を利用して浮遊電極FGに注入された電子を引き抜くことでデータを消去することが可能な構造となっている。

【 0 0 3 5 】

ここで、図 2 5 に示すように、p 型ウエル P W L 0 ~ 2 と半導体基板 P S U B との間には n 型の半導体領域からなる分離領域 N i S O が形成されている。また、M C 0 は、前述の消去ブロック 0 中のメモリセルであり、このように、p 型ウエル P W L 0 上には、消去ブロック 0 中のメモリセルが形成される。同様に、p 型ウエル P W L 1 上には、消去ブロック 1 中のメモリセル（例えば、M C 1）が形成され、p 型ウエル P W L 2 上には、消去ブロック 2 中のメモリセル（例えば、M C 2）が形成される。また、p 型ウエル P W L 0 ~ 2 は、それぞれ n 型ウエル N W L により電氣的に分離されている。また、p 型ウエル P W L 0 ~ 2 および n 型ウエル N W L 中には、電圧印加領域となる半導体領域 2 2 n（n 型）、2 2 p（p 型）が存在する。

【 0 0 3 6 】

このようなフラッシュメモリの書き込み、読み出しおよび消去動作を、図 2 6（a）～（e）を参酌しながら説明する。

【 0 0 3 7 】

まず、書き込み動作について説明する。図 2 6（a）に示すように、メモリセルにデータを書き込むには、メモリセルの制御電極 C G（ワード線）に 1 0 V の電圧を印加し、メモリセルのドレイン領域（主データ線）に 6 V の電圧を印加し、p 型ウエルおよびメモリセルのソース領域を 0 V（接地電位）に維持する。その結果、メモリセルのチャネル領域（ソース、ドレイン間）に電流が流れることでホットエレクトロンが発生し、これが浮遊電極 F G に注入される（書き込み動作）。

【 0 0 3 8 】

ここで、メモリセルの閾値電圧（浮遊電極 F G に注入される電子の量）が所望の値に達したかどうかについての判定を行い、所望の閾値電圧に達していない場合には、再書き込みが行われる（書き込みベリファイ動作）。

【 0 0 3 9 】

この一連の動作の中で、メモリセルの閾値電圧が所望の値に達したかどうかについての判定時には、図 2 6（b）に示すように、メモリセルの制御電極 C G（

ワード線)に6Vの電圧を印加し、メモリセルのドレイン領域(主データ線)に1Vの電圧を印加し、p型ウエルおよびメモリセルのソース領域を0Vに維持する。この際メモリセルのソース、ドレイン間に電流が流れるか否かで、前述の判定を行う。電流が流れる場合は、メモリセルの閾値電圧が所望の値に達していない(NG)と判定される。

【0040】

図27(a)は、書き込み完了までのフロー図である。図示するように、動作信号SWEが“1”となると、書き込みアドレスが指定され、書き込みデータが入力される。次いで、書き込み信号Pが“1”となり、前述の書き込み動作が行われ、さらに、書き込み信号Pが“0”となり、書き込みベリファイ信号PVが“1”となり、データ(閾値電圧)の判定が行われる。このように、メモリセルの閾値電圧が所望の値に達するまで(OKとなるまで)、データの判定および再書き込みが繰り返し行われる。

【0041】

データの判定の結果が、OKとなった後は、書き込みベリファイ信号PVが“0”となり、また、動作信号SWEが“0”となり、書き込みが完了(stop)する。

【0042】

次に、読み出し動作について説明する。図26(c)に示すように、メモリセルのデータを読み出すには、メモリセルの制御電極CG(ワード線)に3.3Vの電圧を印加し、メモリセルのドレイン領域(主データ線)に1Vの電圧を印加し、p型ウエルおよびメモリセルのソース領域を0Vに維持する。この際メモリセルのソース、ドレイン間に電流が流れるか否かで、メモリセルのデータ(“1”もしくは“0”)を読み出す。電流が流れる場合は、メモリセルの浮遊電極FGには電子が注入されておらず(閾値電圧が3.3V以下)であり、例えば、“1”のデータが記憶されていたことがわかる。また、電流が流れない場合は、メモリセルの浮遊電極FGには電子が注入されており(閾値電圧が3.3V以上)であり、例えば、“0”のデータが記憶されていたことがわかる。

【0043】

次いで、消去動作について説明する。図 2 6 (d) に示すように、メモリセルに書き込まれたデータを消去するには、メモリセルの制御電極 CG (ワード線) に -10 V の電圧を印加し、p 型ウエルに 10 V の電圧を印加し、メモリセルのドレイン領域 (主データ線) およびメモリセルのソース領域を開放状態 (open、フローティング状態) に維持する。その結果、FN トンネル現象により、浮遊電極 FG からメモリセルのチャネル領域 (ソース、ドレイン間) に、電子の放出が行われる (消去動作)。

【 0 0 4 4 】

ここで、この消去動作においても、メモリセルの閾値電圧 (浮遊電極 FG に注入されている電子の量) が所望の値まで低下したかどうかについての判定を行い (消去ベリファイ動作)、所望の閾値電圧まで低下していない場合には、再消去が行われる。

【 0 0 4 5 】

このメモリセルの閾値電圧が所望の値に達したかどうかについての判定時には、図 2 6 (e) に示すように、メモリセルの制御電極 CG (ワード線) に 2 V の電圧を印加し、メモリセルのドレイン領域 (主データ線) に 1 V の電圧を印加し、p 型ウエルおよびメモリセルのソース領域を 0 V に維持する。この際メモリセルのソース、ドレイン間に電流が流れるか否かで、前述の判定を行う。電流が流れない場合は、メモリセルの閾値電圧が所望の値まで低下していない (NG) と判定される。

【 0 0 4 6 】

図 2 7 (b) は、消去完了までのフロー図である。図示するように、動作信号 SWE が “1” となると、消去ブロックが指定され、次いで、消去信号 E が “1” となり、前述の消去動作が行われ、さらに、消去信号 E が “0” となり、消去ベリファイ信号 EV が “1” となり、データ (閾値電圧) の判定が行われる。このように、メモリセルの閾値電圧が所望の値まで低下するまで (OK となるまで)、データの判定および再消去が繰り返し行われる。

【 0 0 4 7 】

データの判定の結果が、OK となった後は、消去ベリファイ信号 EV が “0”

となり、また、動作信号 SWE が “0” となり、消去が完了 (stop) する。

【0048】

さらに、この消去動作について詳細に説明する。

【0049】

前述のように、メモリセルに書き込まれたデータを消去する際には、p 型ウエルに 10 V の正の電圧が印加される。これは、制御電極に印加される負の電圧（の絶対値）が大きくなるのを防止するためである。つまり、p 型ウエルに 10 V の正の電圧を印加することにより、制御電極に印加される負の電圧（の絶対値）を小さくしつつ、トンネル現象を生じさせる電位差を確保する。

【0050】

また、図 25 を参照しながら説明したように、p 型ウエル PWL 0 ~ 2 と半導体基板 PSUB とを電氣的に分離するため、分離領域 NiSO が形成されている。メモリセルに書き込まれたデータを消去する際には、例えば、この分離領域 NiSO に 10 V の電圧を印加することにより、p 型ウエル PWL 0 ~ 2 と半導体基板 PSUB とに電流が流れることを防止している。

【0051】

図 28 に、メモリセルに書き込まれたデータを消去する際に p 型ウエル PWL 0 ~ 2 および分離領域 NiSO に印加される電圧を示す。ここでは、MC0 は、図 24 の消去ブロック 0 中のメモリセルとし、また、MC1 は、図 24 の消去ブロック 1 中のメモリセル、MC2 は、図 24 の消去ブロック 2 中のメモリセルとし、消去ブロック 0 のメモリセル (MC0 等) に書き込まれたデータを消去する場合についての電圧の印加状況を示す。

【0052】

図 28 に示すように、分離領域 NiSO には、n 型ウエル NWL を介して 10 V の電圧が印加される。また、選択メモリセル MC0 が形成されている p 型ウエル PWL 0 には、10 V の電圧が印加され、非選択メモリセル MC1、MC2 が形成されている p 型ウエル PWL 1、2 は、0 V に維持されている。一方、半導体基板 PSUB は、0 V に維持されている。なお、各メモリセルのソース、ドレイン領域 (21) は、開放状態 (フローティング状態、Open) である。

【 0 0 5 3 】

ここで、分離領域N i S Oおよび選択メモリセルMC 0が形成されているp型ウエルPWL 0には、同一の電圧発生回路から電圧（ v_{ccm} 、10V）が供給される。

【 0 0 5 4 】

図30は、分離領域N i S Oおよびp型ウエルPWL 0～3と電圧発生回路 α との接続を示す図であり、図示するように、電源回路VS中の電圧発生回路 α から所定の電圧（ V_{ccm} 、10V）が、分離領域N i S Oに供給され、また、制御回路SWC 0～3を介してp型ウエルPWL 0～3に供給される。なお、制御回路SWC 0～3には、それぞれ消去ブロック信号EB 0～3が入力され、この信号に応じて消去ブロック0～3（p型ウエルPWL 0～3）のいずれかが指定され、前記電圧が供給される。また、電圧発生回路 α には、消去信号Eが入力され、この信号に応じて分離領域N i S Oに前記電圧が供給される。

【 0 0 5 5 】

また、図28に示すように、非選択メモリセルMC 1、MC 2が形成されているp型ウエルPWL 1、2のそれぞれと分離領域N i S Oとの間には、寄生容量 C_{a1} 、 C_{a2} が生じ、分離領域N i S Oと半導体基板PSUBとの間には、寄生容量Cbが生じる。

【 0 0 5 6 】

従って、データの消去時には、このような寄生容量 C_{a1} 、 C_{a2} 、Cbを充電する必要があり、選択メモリセルMC 0が形成されているp型ウエルPWL 0や分離領域N i S Oが10Vとなるまでには、ある程度の時間がかかる。なお、図28には、選択されていない消去ブロック1および2中のメモリセルとしてMC 1およびMC 2の2つのメモリセルしか記載していないが、各消去ブロックのメモリ容量を4kBとすると、図31に示すように、紙面横方向に16個のメモリセルが並び、また、紙面の奥行き方向にも、2048個のメモリセルが並ぶこととなる。また、図32（a）に示すように、全容量が、512kB（4kB×8ブロック、32kB×1ブロック、64kB×7ブロック）の装置においては、例えば、4kBの選択消去ブロック（EB 0）に対して、非選択消去ブロック（

4 k B × 7 ブロック、3 2 k B × 1 ブロック、6 4 k B × 7 ブロック) の 5 0 8 k B (メモリセル 4 1 6 1 5 3 6 個分) に対応する寄生容量 (C A 1 ~ C A 1 5、C B) が生じる。

【 0 0 5 7 】

図 2 9 は、データの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【 0 0 5 8 】

時刻 t_1 において動作信号 S W E が “1” となり、時刻 t_2 に消去信号 E が “1”、消去ブロック信号 E B 0 が “1” となることにより消去ブロック 0 が指定され、データの消去が開始される。この際、分離領域 N i S O や選択メモリセル M C 0 が形成されている p 型ウエル P W L 0 には、それぞれ 1 0 V の電圧が印加されるが、図の (h) および (i) に示すように、分離領域 N i S O の電圧 (V_{NiS}) や p 型ウエル P W L 0 の電圧 (V_{WC0}) が、1 0 V になるまでに、時間 T_z を必要とする。

【 0 0 5 9 】

この後、所定の期間 T_x ($T_x = T_1 - T_z$) に消去動作を行った後、時刻 t_3 において消去信号 E が “0”、消去ベリファイ信号 E V が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 E V が “1” の期間 ($t_3 \sim t_4$ の間) に、データ (閾値電圧) の判定が行われる。この際、分離領域 N i S O や選択メモリセル M C 0 が形成されている p 型ウエル P W L 0 は、それぞれ V_{dd} (駆動電位) と 0 V に維持される。

【 0 0 6 0 】

このデータ (閾値電圧) の判定の結果、1 回目の消去 (期間 T_1) において、消去がされていないメモリセルがあると判断された場合は、次いで、時刻 t_4 に消去信号 E が “1”、消去ベリファイ信号 E V が “0”、消去ブロック信号 E B 0 が “1” となることにより、消去ブロック E B 0 の再消去が開始される。この際も、分離領域 N i S O や選択メモリセル M C 0 が形成されている p 型ウエル P W L 0 には、それぞれ 1 0 V の電圧が印加されるが、図の (h) および (i) に示すように、分離領域 N i S O の電圧 (V_{NiS}) や p 型ウエル P W L 0 の電圧

(VWC0) が、10Vになるまでに、時間 T_z を必要とする。

【0061】

この後、所定の期間 T_x ($T_x = T_1 - T_z$) に消去動作を行った後、時刻 t_5 において消去信号Eが“0”、消去ベリファイ信号EVが“1”となることによりベリファイ動作が開始する。この消去ベリファイ信号EVが“1”の期間 ($t_5 \sim t_6$ の間) に、データ (閾値電圧) の判定が行われる。この際、分離領域NiSOや選択メモリセルMC0が形成されているp型ウエルPWL0は、それぞれVddと0Vに維持される。

【0062】

次いで、データ (閾値電圧) の判定が“OK”であれば、時刻 t_6 に消去信号Eが“1”、消去ブロック信号EB1が“1”となることにより消去ブロック1が指定され、データの消去が開始される。この際、分離領域NiSOや選択メモリセルMC1が形成されているp型ウエルPWL1には、それぞれ10Vの電圧が印加されるが、図の(h)および(j)に示すように、分離領域NiSOの電圧(VNiS)やp型ウエルPWL1の電圧(VWC1)が、10Vになるまでに、時間 T_z を必要とする。

【0063】

この後、所定の期間 T_x ($T_x = T_1 - T_z$) に消去動作を行った後、消去ブロック信号EB0の場合と同様にベリファイ動作が開始する ($t_7 \sim t_8$)。

【0064】

なお、以上の期間 ($t_1 \sim t_8$ まで) のうち、消去および再消去が行われている期間 ($t_2 \sim t_3$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$) は、メモリセルのソース、ドレイン領域(21)は、開放状態(open)に維持されている。

【0065】

所望の消去ブロック中のメモリセルのデータの消去が完了した後は、動作信号SWEが“0”となる。さらに、時刻 t_{10} において動作信号SWEが“1”となり、時刻 t_{11} に書き込み信号Pが“1”となることによりデータの書き込みが開始される。この際、分離領域NiSOはVddに、p型ウエルPWL0～2は、0Vに維持されている。また、メモリセルのソース、ドレイン領域(21)

も、0 Vに維持されている。

【0066】

この後、所定の期間に、書き込み動作を行った後、時刻 t_{12} において書き込み信号Pが“0”、書き込みベリファイ信号PVが“1”となることによりベリファイ動作が開始する。この書き込みベリファイ信号PVが“1”の期間($t_{12} \sim t_{13}$ の間)に、データ(閾値電圧)の判定が行われる。

【0067】

データ(閾値電圧)の判定が“OK”であれば、時刻 t_{14} に動作信号SWEが“0”となる。

【0068】

このように、非選択メモリセルMC1、MC2が形成されているp型ウエルPWL1、2のそれぞれと分離領域NiSOとの間および分離領域NiSOと半導体基板PSUBとの間には、寄生容量が生じるため、データの消去の際には、その充電に時間を要し、消去電位到達時間の短縮化には限界があった。

【0069】

また、前述のように、1つの選択消去ブロックに対し、残りの非選択消去ブロック中のメモリセルのすべてが寄生容量に関与するため、非常に大きな容量となる。特に、メモリセルの微細化が進み、高集積化された装置においては、かかる寄生容量による消去電位到達時間の増加は大きな問題となる。

【0070】

さらに、前述の消去ベリファイ動作を行う際には、前述の寄生容量の充放電が繰り返し行われるため、この充放電に要する時間は、消去時間の増加の大きな要因となっている。

【0071】

そこで、本実施の形態では、次のような構成や消去方法を採用することとしている。

【0072】

図1は、本実施の形態のフラッシュメモリに書き込まれたデータを消去する際にp型ウエルPWLおよび分離領域NiSOに印加される電圧を示す図である。

なお、このフラッシュメモリのメモリセルの構成および書き込み、読み出しおよび消去動作の概略は、図 2 5 ～ 図 2 7 を参酌しながら説明したので、ここでは、消去動作のうち本実施の形態に関わる主要な部分についてのみ説明する。

【 0 0 7 3 】

ここでは、MC 0 は、消去ブロック 0 中のメモリセルとし、また、MC 1 は、消去ブロック 1 中のメモリセル、MC 2 は、消去ブロック 2 中のメモリセルとし、消去ブロック 0 のメモリセル (MC 0 等) に書き込まれたデータを消去する場合についての電圧の印加状況を示す。

【 0 0 7 4 】

図 1 に示すように、分離領域 Ni SiO₂ には、n 型ウエル NWL を介して 1 2 V の電圧が印加される。また、選択メモリセル MC 0 が形成されている p 型ウエル PWL 0 には、1 0 V の電圧が印加され、非選択メモリセル MC 1、MC 2 が形成されている p 型ウエル PWL 1、2 は、0 V に維持されている。一方、半導体基板 P SUB は、0 V に維持されている。なお、各メモリセルのソース、ドレイン領域 (2 1) は、開放状態 (open) である。

【 0 0 7 5 】

ここで、選択メモリセル MC 0 が形成されている p 型ウエル PWL 0 には、電圧発生回路 α 1 から電圧 (v_{ccm} 、1 0 V) が供給され、分離領域 Ni SiO₂ には、電圧発生回路 β 1 から電圧 (v_{ccp} 、1 2 V) が供給される (図 2 参照)。

【 0 0 7 6 】

図 2 は、分離領域 Ni SiO₂ および p 型ウエル PWL 0 ～ 3 と電圧発生回路 α 1、 β 1 との接続を示す図であり、図示するように、電源回路 VS 中の電圧発生回路 α 1 から所定の電圧 (v_{ccm} 、1 0 V) が、電圧制御回路 SWC 0 ～ 3 を介して p 型ウエル PWL 0 ～ 3 に供給され、また、電源回路 VS 中の電圧発生回路 β 1 から所定の電圧 (v_{ccp} 、1 2 V) が、分離領域 Ni SiO₂ に供給される。なお、電圧制御回路 SWC 0 ～ 3 には、それぞれ消去ブロック信号 EB 0 ～ 3 が入力され、この信号に応じて消去ブロック 0 ～ 3 (p 型ウエル PWL 0 ～ 3) のいずれかが指定され、前記電圧が供給される。

【 0 0 7 7 】

従って、図 1 に示すように、非選択メモリセル MC、MC 2 が形成されている p 型ウエル P W L 1、2 のそれぞれと分離領域 N i S O との間に生じる寄生容量 $C a_1$ 、 $C a_2$ および分離領域 N i S O と半導体基板 P S U B との間に生じる寄生容量 C b は、選択メモリセル MC 0 が形成されている p 型ウエル P W L 0 とは、異なる電圧発生回路 $\beta 1$ によってあらかじめ充電されているため、電圧発生回路 $\alpha 1$ は、選択メモリセル MC 0 が形成されている p 型ウエル P W L 0 と分離領域 N i S O との間に生じた寄生容量 $C a_0$ を充電するだけでよく、消去電位到達時間を短縮することができる。

【 0 0 7 8 】

図 3 は、本実施の形態のデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【 0 0 7 9 】

時刻 t_0 において分離領域 N i S O に 1 2 V の電圧を開始し、次いで、時刻 t_1 において動作信号 S W E が “1” となり、時刻 t_2 に消去信号 E が “1”、消去ブロック信号 E B 0 が “1” となることにより消去ブロック 0 が指定され、データの消去が開始される。この際、選択メモリセル MC 0 が形成されている p 型ウエル P W L 0 には、1 0 V の電圧が印加される。

【 0 0 8 0 】

しかしながら、時刻 t_1 においては、分離領域 N i S O は、図の (h) に示すように、1 2 V まで昇圧されているため、電圧発生回路 $\alpha 1$ は、p 型ウエル P W L 0 を 1 0 V までに昇圧（寄生容量 $C a_0$ を充電）するだけでよく、図の (i) に示すように、p 型ウエル P W L 0 の電圧 ($V W C 0$) が、所望の電圧になるまでの時間 $T a$ ($T a < T z$) を短縮することができる。

【 0 0 8 1 】

なお、時刻 t_1 から分離領域 N i S O の昇圧を開始しても、分離領域 N i S O および p 型ウエル P W L 0 には、それぞれ異なる電圧発生回路 ($\alpha 1$ 、 $\beta 1$) から電圧が印加されるため、分離領域 N i S O の電圧 ($V N i S$) や p 型ウエル P W L 0 の電圧 ($V W C 0$) が、所望の電圧になるまでの時間を短縮することがで

きる。

【 0 0 8 2 】

この後、所定の期間に消去動作を行った後、時刻 t_3 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_3 \sim t_4$ の間) に、データ (閾値電圧) の判定が行われる。この際、選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ は、0 V に維持される。

【 0 0 8 3 】

次いで、時刻 t_4 に消去信号 E が “1”、消去ベリファイ信号 EV が “0” となることにより再消去が開始される。この際、選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ は、10 V まで昇圧される。

【 0 0 8 4 】

しかしながら、時刻 t_4 においては、分離領域 $NiSO$ は、図の (h) に示すように、12 V まで昇圧されているため、電圧発生回路 $\alpha 1$ は、 p 型ウエル $PWL0$ を 10 V までに昇圧するだけでよく、図の (i) に示すように、 p 型ウエル $PWL0$ の電圧 ($VWC0$) が、所望の電圧になるまでの時間 T_a ($T_a < T_z$) を短縮することができる。

【 0 0 8 5 】

この後、所定の期間に消去動作を行った後、時刻 t_5 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_5 \sim t_6$ の間) に、データ (閾値電圧) の判定が行われる。この際、 p 型ウエル $PWL0$ は、0 V に維持される。

【 0 0 8 6 】

次いで、データ (閾値電圧) の判定が “OK” であれば、時刻 t_6 に消去信号 E が “1”、消去ブロック信号 $EB1$ が “1” となることにより消去ブロック 1 が指定され、データの消去が開始される。この際も、分離領域 $NiSO$ は、図の (h) に示すように、12 V まで昇圧されているため、電圧発生回路 $\alpha 1$ は、 p 型ウエル $PWL1$ を 10 V までに昇圧するだけでよく、図の (i) に示すように

、p型ウエルPWL1の電圧(VWC1)が、所望の電圧になるまでの時間 T_a ($T_a < T_z$)を短縮することができる。

【0087】

この後、所定の期間に消去動作を行った後、消去ブロック信号EB0の場合と同様にベリファイ動作が開始する($t_7 \sim t_8$)。

【0088】

なお、以上の期間($t_1 \sim t_8$ まで)のうち、消去および再消去が行われている期間($t_2 \sim t_3$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$)は、メモリセルのソース、ドレイン領域(21)は、開放状態(open)維持されている。

【0089】

所望の消去ブロック中のメモリセルのデータの消去が完了した後は、動作信号SWEが“0”となる。その後、時刻 t_{10} において動作信号SWEが“1”となり、時刻 t_{11} に書き込み信号Pが“1”となることによりデータの書き込みが開始される。この際、分離領域NiSOは、12Vに、p型ウエルPWL0～2は、0Vに維持されている。また、メモリセルのソース、ドレイン領域(21)は、0Vに維持されている。

【0090】

この後、所定の期間に、書き込み動作を行った後、時刻 t_{12} において書き込み信号Pが“0”、書き込みベリファイ信号PVが“1”となることによりベリファイ動作が開始する。この書き込みベリファイ信号PVが“1”の期間($t_{12} \sim t_{13}$ の間)に、データ(閾値電圧)の判定が行われる。

【0091】

データ(閾値電圧)の判定が“OK”であれば、時刻 t_{14} に動作信号SWEが“0”となる。

【0092】

このように、本実施の形態によれば、分離領域NiSOおよび選択されたメモリセルが形成されるp型ウエル(指定された消去ブロック中のp型ウエル)に、それぞれ異なる電圧発生回路(α_1 、 β_1)から電圧を供給することとしたので、選択メモリセルが形成されているp型ウエルの電圧が、所望の電圧になるまで

の時間を短縮することができる。

【 0 0 9 3 】

なお、本実施の形態においては、分離領域N i S Oに1 2 Vの電圧を印加したが、分離領域N i S Oには、選択メモリセルが形成されているp型ウエルに印加される電圧以上の電圧を印加すればよく、例えば、1 0 Vでもよい。従って、図4に示すように、分離領域N i S Oおよび選択メモリセルが形成されているp型ウエルに、電圧発生回路α 1から1 0 Vの電圧を供給し、スイッチS w 1によって、p型ウエルP W L 0～3への電圧の印加を制御してもよい。

【 0 0 9 4 】

(実施の形態2)

図5は、本実施の形態のフラッシュメモリに書き込まれたデータを消去する際にp型ウエルP W Lおよび分離領域N i S Oに印加される電圧を示す図である。なお、このフラッシュメモリのメモリセルの構成および書き込み、読み出しおよび消去動作の概略は、実施の形態1において図2 5～図2 7を参酌しながら説明したので、ここでは、消去動作のうち本実施の形態に関わる主要な部分についてのみ説明する。

【 0 0 9 5 】

ここでは、M C 0は、消去ブロック0中のメモリセルとし、また、M C 1は、消去ブロック1中のメモリセル、M C 2は、消去ブロック2中のメモリセルとし、消去ブロック0のメモリセル(M C 0等)に書き込まれたデータを消去する場合についての電圧の印加状況を示す。

【 0 0 9 6 】

図5に示すように、選択メモリセルM C 0が形成されているp型ウエルP W L 0には、1 0 Vの電圧が印加され、非選択メモリセルM C 1、M C 2が形成されているp型ウエルP W L 1、2は、0 Vに維持されている。また、分離領域N i S Oは、開放状態(o p e n)である。一方、半導体基板P S U Bは、0 Vに維持されている。なお、各メモリセルのソース、ドレイン領域は、開放状態(o p e n)である。

【 0 0 9 7 】

ここで、選択メモリセルMC0が形成されているp型ウエルPWL0には、電源回路VSから電圧（ v_{ccm} 、10V）が供給され（図6参照）、また、後述するように、分離領域NiSOは、p型ウエルPWL0を介して10Vに昇圧される。

【0098】

図6は、分離領域NiSOおよびp型ウエルPWL0～3と電源回路VSとの接続を示す図であり、図示するように、電源回路VS中の電圧発生回路から所定の電圧（ v_{ccm} 、10V）が、電圧制御回路SWC0～3を介してp型ウエルPWL0～3に供給される。また、分離領域NiSOは、制御回路NiSC2により消去の間、開放状態（open、電圧の印加が禁止されている状態）に維持されている。なお、電圧制御回路SWC0～3には、それぞれ消去ブロック信号EB0～3が入力され、この信号に応じて消去ブロック0～3（p型ウエルPWL0～3）のいずれかが指定され、前記電圧が供給される。

【0099】

ここで、図5を参照しながら説明したように、非選択メモリセルMC1、MC2が形成されているp型ウエルPWL1、2のそれぞれと分離領域NiSOとの間には、寄生容量 C_{a1} 、 C_{a2} が生じ、分離領域NiSOと半導体基板PSUBとの間には、寄生容量 C_b が生じる。

【0100】

従って、分離領域NiSOの電圧（ V_{NiS} ）やp型ウエルPWL0の電圧（ V_{WC0} ）が、10Vになるまでには、一定の時間を必要とする。ここで、分離領域NiSOには、p型ウエルPWL0の電圧によって、順方向の電流が流れ、分離領域NiSOの電位が、p型ウエルPWL0の供給電圧となる。

【0101】

しかしながら、前述の寄生容量 C_{a1} 、 C_{a2} および C_b が、一度充電された後は、分離領域NiSOが、開放状態（open）に維持されているため、p型ウエルPWL0を0Vとしても、分離領域NiSOの電位は、逆方向となり電流が流れないので、充電した10Vの電圧が維持される。その結果、2回目以降の消去動作時には、p型ウエルPWL0と分離領域NiSOとの間に生じた寄生容量

C a₀を充電するだけでよく、消去時間を短縮することができる。

【0102】

図7は、本実施の形態のデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【0103】

時刻t₁において動作信号SWEが“1”となり、時刻t₂に消去信号Eが“1”、消去ブロック信号EB0が“1”となることにより消去ブロック0が指定され、データの消去が開始される。この際、選択メモリセルMC0が形成されているp型ウエルPWL0には、10Vの電圧が印加され、また、これにより分離領域NiSOも10Vに昇圧されるが、図の(h)および(i)に示すように、分離領域NiSOの電圧(VNiS)やp型ウエルPWL0の電圧(VWC0)が、10Vになるまでに、時間Tbを必要とする。なお、図の(h)に示すように、時刻t₁以降後述する時刻t₉まで、分離領域NiSOは、開放状態(open)に維持されている。

【0104】

この後、所定の期間に消去動作を行った後、時刻t₃において消去信号Eが“0”、消去ベリファイ信号EVが“1”となることによりベリファイ動作が開始する。この消去ベリファイ信号EVが“1”の期間(t₃～t₄の間)に、データ(閾値電圧)の判定が行われる。この際、選択メモリセルMC0が形成されているp型ウエルPWL0は、0Vに維持される。また、分離領域NiSOは、開放状態(open)に維持される。

【0105】

次いで、時刻t₄に消去信号Eが“1”、消去ベリファイ信号EVが“0”となることにより再消去が開始される。

【0106】

しかしながら、時刻t₄においては、分離領域NiSOは、1回目の消去期間(t₂からt₃の期間)に昇圧され、また、開放状態に維持されているため、前述したように、ほぼ10Vの電位を維持することができる。その結果、電圧発生回路は、p型ウエルPWL0を10Vまでに昇圧するだけでよく、図の(i)に

示すように、p型ウエルPWL0の電圧(VWC0)が、所望の電圧になるまでの時間 T_c ($T_c < T_b \cong T_z$)を短縮することができる。

【0107】

この後、所定の期間に消去動作を行った後、時刻 t_5 において消去信号Eが“0”、消去ベリファイ信号EVが“1”となることによりベリファイ動作が開始する。この消去ベリファイ信号EVが“1”の期間($t_5 \sim t_6$ の間)に、データ(閾値電圧)の判定が行われる。この際、p型ウエルPWL0は、0Vに維持され、また、分離領域NiSOは、開放状態(open)に維持される。

【0108】

次いで、データ(閾値電圧)の判定が“OK”であれば、時刻 t_6 に消去信号Eが“1”、消去ブロック信号EB1が“1”となることにより消去ブロック1が指定され、データの消去が開始される。この際、選択メモリセルMC1が形成されているp型ウエルPWL1には、10Vの電圧が印加されるが、時刻 t_6 においても、分離領域NiSOは、1回目の消去期間(t_2 から t_3 の期間)に昇圧され、その電圧を維持しているため、電圧発生回路は、p型ウエルPWL1を10Vまでに昇圧するだけでよく、図の(i)に示すように、p型ウエルPWL1の電圧(VWC1)が、所望の電圧になるまでの時間 T_c ($T_c < T_b$)を短縮することができる。

【0109】

この後、所定の期間に消去動作を行った後、消去ブロック信号EB0の場合と同様にベリファイ動作が開始する($t_7 \sim t_8$)。

【0110】

なお、以上の期間($t_1 \sim t_8$ まで)のうち、消去および再消去が行われている期間($t_2 \sim t_3$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$)は、メモリセルのソース、ドレイン領域(21)は、開放状態(open)維持されている。

【0111】

所望の消去ブロック中のメモリセルのデータの消去が完了した後は、動作信号SWEが“0”となる。その後、時刻 t_{10} において動作信号SWEが“1”となり、時刻 t_{11} に書き込み信号Pが“1”となることによりデータの書き込み

が開始される。この際、分離領域N i S Oは、V d dに、p型ウエルP W L 0 ~ 2は、0 Vに維持されている。また、メモリセルのソース、ドレイン領域(2 1)は、0 Vに維持されている。

【0 1 1 2】

この後、所定の期間に、書き込み動作を行った後、時刻t 1 2において書き込み信号Pが“0”、書き込みベリファイ信号P Vが“1”となることによりベリファイ動作が開始する。この書き込みベリファイ信号P Vが“1”の期間(t 1 2 ~ t 1 3の間)に、データ(閾値電圧)の判定が行われる。

【0 1 1 3】

データ(閾値電圧)の判定が“OK”であれば、時刻t 1 4に動作信号S W Eが“0”となる。

【0 1 1 4】

このように、本実施の形態によれば、t 1からt 9までの消去期間中に、分離領域N i S Oを開放状態(o p e n)に維持したので、2回目以降の消去動作で、選択メモリセルが形成されているp型ウエルの電圧が、所望の電圧になるまでの時間T cを短縮することができる。

【0 1 1 5】

(実施の形態3)

図8は、本実施の形態のフラッシュメモリの構造およびデータ消去時の電圧の印加状態を示す図である。なお、このフラッシュメモリのメモリセルの構成の説明および書き込み、読み出しおよび消去動作の概略は、実施の形態1において図2 5 ~ 図2 7を参酌しながらした説明と重複するので、ここでは、構成や消去動作のうち本実施の形態に関わる主要な部分についてのみ説明する。

【0 1 1 6】

構成については、図8に示すように、p型ウエルP W L 0、1と半導体基板P S U Bとの間にはn型の半導体領域からなる分離領域N i S O 1が形成されている。また、p型ウエルP W L 2と半導体基板P S U Bとの間にはn型の半導体領域からなる分離領域N i S O 2が形成されている。さらに、分離領域N i S O 1と2との間には、p型ウエルP Wが形成されている。

【 0 1 1 7 】

このように、いくつかの p 型ウエル P W L（消去ブロック）毎に、分離領域 N i S O が分割して形成されている。

【 0 1 1 8 】

ここでは、M C 0 は、消去ブロック 0 中のメモリセルとし、また、M C 1 は、消去ブロック 1 中のメモリセル、M C 2 は、消去ブロック 2 中のメモリセルとし、消去ブロック 0 のメモリセル（M C 0 等）に書き込まれたデータを消去する場合についての電圧の印加状況を示す。

【 0 1 1 9 】

図 8 に示すように、選択メモリセル M C 0 が形成されている p 型ウエル P W L 0 およびその下の分離領域 N i S O 1 には、1 0 V の電圧が印加され、非選択メモリセル M C 1、M C 2 が形成されている p 型ウエル P W L 1、2 は、0 V に維持されている。一方、半導体基板 P S U B は、0 V に維持されている。なお、選択メモリセル（指定された消去ブロック）と同一の分離領域 N i S O 上にあるメモリセルのソース、ドレイン領域は、開放状態（o p e n）である。また、他の分離領域 N i S O 上にあるメモリセルのソース、ドレイン領域は、0 V に維持されている。

【 0 1 2 0 】

ここで、選択メモリセル M C 0 が形成されている p 型ウエル P W L 0 および分離領域 N i S O 1 には、電圧発生回路 α 1 から電圧（v c c m、1 0 V）が供給される（図 9 参照）。

【 0 1 2 1 】

図 9 は、前述の分離領域 N i S O の分割状態と、分離領域 N i S O と電圧発生回路 α 1 との接続を示す図である。図示するように、分離領域 N i S O は、消去ブロック 2 個ごとに分割されており、各分離領域 N i S O 1、2 は、それぞれ制御回路 N i S C 3 1、3 2 を介して電圧発生回路 α 1 に接続されている。また、制御回路 N i S C 3 1、3 2 には、消去ブロック信号 E B 0 ~ 3 が入力され、指定された消去ブロック下の分離領域 N i S O 1 もしくは 2 に電圧発生回路 α 1 から電圧が供給される。

【 0 1 2 2 】

また、電圧発生回路 $\alpha 1$ は、電圧制御回路SWC0～3を介してp型ウエルPWL0～3に接続されている。なお、電圧制御回路SWC0～3には、それぞれ消去ブロック信号EB0～3が入力され、この信号に応じて消去ブロック0～3（p型ウエルPWL0～3）のいずれかが指定され、電圧発生回路 $\alpha 1$ から電圧が供給される。

【 0 1 2 3 】

ここで、図8に示すように、非選択メモリセルMC1が形成されているp型ウエルPWL1と分離領域NiSO1との間に生じる寄生容量 C_{a1} および分離領域NiSO1と半導体基板PSUBとの間に生じる寄生容量 C_{b1} は、電圧発生回路 $\alpha 1$ によって充電される。

【 0 1 2 4 】

しかしながら、消去ブロック0のメモリセル（MC0等）に書き込まれたデータを消去する場合には、非選択メモリセルMC2が形成されているp型ウエルPWL1と分離領域NiSO2との間に生じる寄生容量 C_{a2} および分離領域NiSO2と半導体基板PSUBとの間に生じる寄生容量 C_{b2} が生じないため、消去時間を短縮することができる。

【 0 1 2 5 】

図10は、本実施の形態のデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【 0 1 2 6 】

時刻 t_1 において動作信号SWEが“1”となり、時刻 t_2 に消去信号Eが“1”、消去ブロック信号EB0が“1”となることにより消去ブロック0が指定され、データの消去が開始される。この際、分離領域NiSO1や選択メモリセルMC0が形成されているp型ウエルPWL0には、それぞれ10Vの電圧が印加されるが、図の（i）および（k）に示すように、分離領域NiSO1の電圧（ V_{NiS1} ）やp型ウエルPWL0の電圧（ V_{WC0} ）が、10Vになるまでに、時間 T_d （ $T_d < T_z$ ）を必要とする。

【 0 1 2 7 】

しかしながら、分離領域は、消去ブロック 2 個ごとに分割されているため、分離領域 $NiSO1$ により発生する寄生容量を低減することができる。その結果、消去時間を短縮することができる。

【0128】

この後、所定の期間に消去動作を行った後、時刻 t_3 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_3 \sim t_4$ の間) に、データ (閾値電圧) の判定が行われる。この際、分離領域 $NiSO$ や選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ は、それぞれ $0V$ に維持される。

【0129】

次いで、時刻 t_4 に消去信号 E が “1”、消去ベリファイ信号 EV が “0”、消去ブロック信号 $EB0$ が “1” となることにより再消去が開始される。この際も、分離領域 $NiSO1$ や選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ には、それぞれ $10V$ の電圧が印加されるが、図の (i) および (k) に示すように、分離領域 $NiSO1$ の電圧 ($VNiS1$) や p 型ウエル $PWL0$ の電圧 ($VWC0$) が、 $10V$ になるまでの時間は、 T_d で足る。この場合も、寄生容量 Ca_1 、 Cb_1 が低減されているため、消去時間が短縮されている。

【0130】

この後、所定の期間に消去動作を行った後、時刻 t_5 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_5 \sim t_6$ の間) に、データ (閾値電圧) の判定が行われる。この際、分離領域 $NiSO1$ や選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ は、それぞれ $0V$ に維持される。

【0131】

次いで、データ (閾値電圧) の判定が “OK” であれば、時刻 t_6 に消去信号 E が “1”、消去ブロック信号 $EB1$ が “1” となることにより消去ブロック 1 が指定され、データの消去が開始される。この際、分離領域 $NiSO1$ や選択メモリセル $MC1$ が形成されている p 型ウエル $PWL1$ には、それぞれ $10V$ の電圧が印加されるが、図の (i) および (l) に示すように、分離領域 $NiSO1$

の電圧 (V_{NiS1}) や p 型ウエル $PWL1$ の電圧 (V_{WC1}) が、 $10V$ になるまでの時間は、 T_d で足る。

【0132】

この後、所定の期間に消去動作を行った後、消去ブロック信号 $EB0$ の場合と同様にペリファイ動作が開始 (t_7) し、データ (閾値電圧) の判定が “OK” であれば、時刻 t_8 に消去信号 E が “1”、消去ブロック信号 $EB2$ が “1” となることにより消去ブロック 2 が指定され、データの消去が開始される。この際、分離領域 $NiSO2$ や選択メモリセル $MC2$ が形成されている p 型ウエル $PWL2$ には、それぞれ $10V$ の電圧が印加されるが、図の (j) および (m) に示すように、分離領域 $NiSO2$ の電圧 (V_{NiS2}) や p 型ウエル $PWL2$ の電圧 (V_{WC2}) が、 $10V$ になるまでの時間は、 T_d' で足る。

【0133】

即ち、この場合も、図示されていない非選択の p 型ウエルと分離領域 $NiSO2$ との間に生じる寄生容量および分離領域 $NiSO2$ と半導体基板 $PSUB$ との間に生じる寄生容量 C_{b2} を充電すればよいので、消去時間を短縮することができる。

【0134】

この後、所定の期間に消去動作を行った後、消去ブロック信号 $EB0$ の場合と同様にペリファイ動作が開始 (t_9) する。

【0135】

なお、以上の期間 ($t_1 \sim t_9$ まで) のうち、消去および再消去が行われている期間 ($t_2 \sim t_3$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$ 、 $t_8 \sim t_9$) は、同一の分離領域上に形成されるメモリセルのソース、ドレイン領域 (21) は、開放状態 (open) 維持されている。

【0136】

所望の消去ブロック中のメモリセルのデータの消去が完了した後は、動作信号 SWE が “0” となる。その後、時刻 t_{12} において動作信号 SWE が “1” となり、時刻 t_{13} に書き込み信号 P が “1” となることによりデータの書き込みが開始される。この際、分離領域 $NiSO1, 2$ は、 V_{dd} に、p 型ウエル PW

L 0 ~ 2 は、0 V に維持されている。また、メモリセルのソース、ドレイン領域 (2 1) は、0 V に維持されている。

【 0 1 3 7 】

この後、所定の期間に、書き込み動作を行った後、時刻 t_{14} において書き込み信号 P が “0”、書き込みベリファイ信号 PV が “1” となることによりベリファイ動作が開始する。この書き込みベリファイ信号 PV が “1” の期間 ($t_{14} \sim t_{15}$ の間) に、データ (閾値電圧) の判定が行われる。

【 0 1 3 8 】

データ (閾値電圧) の判定が “OK” であれば、時刻 t_{16} に動作信号 SWE が “0” となる。

【 0 1 3 9 】

このように、本実施の形態によれば、分離領域 NiSO を、消去ブロックの所定の単位ごとに分割し、指定された消去ブロックに対応する分離領域 NiSO を昇圧することとしたので、寄生容量を低減することができる。その結果、消去時間を短縮することができる。

【 0 1 4 0 】

ここで、分離領域 NiSO の分割単位について、図 1 1 を参照しながら説明する。

【 0 1 4 1 】

図 1 1 に示すように、例えば、消去ブロック EB 0 から EB 1 5 (EB 0 ~ EB 7 は、4 kB、EB 8 は、3 2 kB、EB 9 ~ EB 1 5 は、6 4 kB) が存在する場合、これらのブロック内のメモリセルは、p 型ウエル PWL 0 ~ 1 5 上に形成される。この消去ブロック EB 0 から EB 1 5 について、例えば、1 2 8 kB 毎に分離領域 NiSO 1 ~ 4 を分離することができる。

【 0 1 4 2 】

また、図 1 2 に示すように、メモリ容量が小さい消去ブロック、例えば、4 kB の EB 0 ~ EB 7 については、分離領域を 1 6 kB 毎に (分離領域 NiSO 1 1、1 2)、また、メモリ容量が大きい消去ブロック、例えば、6 4 kB の EB 1 0 ~ EB 1 5 については、分離領域を 1 9 2 kB 毎に (分離領域 NiSO 1 4

、15) 分割することができる。なお、分離領域N i S O 1 3は、96kBのメモリ容量の消去ブロック(E B 8、E B 9)に、対応している。

【0143】

前述のメモリ容量が小さい消去ブロックについては、消去回数が多いデータが記憶されることが多く、消去回数が多い消去ブロックについては、分離領域N i S Oの分割数を多くすることで、さらなる消去時間の短縮を図ることができる。

【0144】

(実施の形態4)

図13は、本実施の形態のフラッシュメモリの構造およびデータ消去時の電圧の印加状態を示す図である。なお、このフラッシュメモリのメモリセルの構成の説明および書き込み、読み出しおよび消去動作の概略は、実施の形態1において図25～図27を参酌しながらした説明と重複するので、ここでは、構成や消去動作のうち本実施の形態に関わる主要な部分についてのみ説明する。

【0145】

構成については、図8を参酌しながら説明した実施の形態3の場合と同様に、p型ウエルPWL0、1と半導体基板P S U Bとの間にはn型の半導体領域からなる分離領域N i S O 1が形成されている。また、p型ウエルPWL2と半導体基板P S U Bとの間にはn型の半導体領域からなる分離領域N i S O 2が形成されている。さらに、分離領域N i S O 1と2との間には、p型ウエルPWが形成されている。

【0146】

このように、いくつかのp型ウエルPWL(消去ブロック)毎に、分離領域N i S Oが分割して形成されている。

【0147】

ここでは、MC0は、消去ブロック0中のメモリセルとし、また、MC1は、消去ブロック1中のメモリセル、MC2は、消去ブロック2中のメモリセルとし、消去ブロック0のメモリセル(MC0等)に書き込まれたデータを消去する場合についての電圧の印加状況を示す。

【0148】

図 1 3 に示すように、選択メモリセル MC 0 が形成されている p 型ウエル P W L 0 には、1 0 V の電圧が印加され、p 型ウエル P W L 0 下の分離領域 N i S O 1 は、開放状態 (o p e n) に維持されている。また、非選択メモリセル MC 1、MC 2 が形成されている p 型ウエル P W L 1、2 は、0 V に維持されて、半導体基板 P S U B は、0 V に維持されている。なお、選択メモリセル (指定された消去ブロック) と同一の分離領域 N i S O 上にあるメモリセルのソース、ドレイン領域は、開放状態 (o p e n) である。また、他の分離領域 N i S O 上にあるメモリセルのソース、ドレイン領域は、0 V に維持されている。

【 0 1 4 9 】

ここで、選択メモリセル MC 0 が形成されている p 型ウエル P W L 0 には、電源回路 V S 中の電圧発生回路から電圧 (v c c m、1 0 V) が供給される (図 1 4 参照)。

【 0 1 5 0 】

図 1 4 は、前述の分離領域 N i S O の分割状態と、分離領域 N i S O と制御回路 N i S O 4 1、4 2 との接続を示す図である。図示するように、分離領域 N i S O は、消去ブロック 2 個ごとに分割されており、各分離領域 N i S O 1、2 は、それぞれ制御回路 N i S C 4 1、4 2 に接続されている。この制御回路 N i S C 4 1、4 2 には、消去ブロック信号 E B 0 ~ 3 が入力され、指定された消去ブロック下の分離領域 N i S O が開放状態 (o p e n) に維持される。

【 0 1 5 1 】

また、電源回路 V S 中の電圧発生回路は、電圧制御回路 S W C 0 ~ 3 を介して p 型ウエル P W L 0 ~ 3 に接続されている。なお、電圧制御回路 S W C 0 ~ 3 には、それぞれ消去ブロック信号 E B 0 ~ 3 が入力され、この信号に応じて消去ブロック 0 ~ 3 (p 型ウエル P W L 0 ~ 3) のいずれかが指定され、電源回路 V S から電圧が供給される。

【 0 1 5 2 】

ここで、図 1 3 に示すように、非選択メモリセル MC 1 が形成されている p 型ウエル P W L 1 と分離領域 N i S O 1 との間に生じる寄生容量 C a₁ および分離領域 N i S O と半導体基板 P S U B との間に生じる寄生容量 C b₁ は、電源回路

V Sによって充電される。

【 0 1 5 3 】

しかしながら、消去ブロック 0 のメモリセル (MC 0 等) に書き込まれたデータを消去する場合には、非選択メモリセルMC 2 が形成されている p 型ウエルPWL 1 と分離領域Ni SO 2 との間に生じる寄生容量C a₂ および分離領域Ni SO 2 と半導体基板P SUB との間に生じる寄生容量C b₂ が生じないため、消去時間を短縮することができる。

【 0 1 5 4 】

さらに、前述の寄生容量C a₁ およびC b₁ が、一度充電された後は、分離領域Ni SO 1 が、開放状態 (open) に維持されているため、2 回目以降の消去動作時には、p 型ウエルPWL 1 と分離領域Ni SO 1 との間に生じた寄生容量C a₀ を充電するだけでよく、消去時間を短縮することができる。

【 0 1 5 5 】

図 1 5 は、本実施の形態のデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【 0 1 5 6 】

時刻 t₁ において動作信号SWE が “1” となり、時刻 t₂ に消去信号E が “1”、消去ブロック信号EB 0 が “1” となることにより消去ブロック 0 が指定され、データの消去が開始される。この際、選択メモリセルMC 0 が形成されている p 型ウエルPWL 0 には、10 V の電圧が印加され、また、これにより分離領域Ni SO 1 も 10 V に昇圧されるが、図の (h) および (j) に示すように、分離領域Ni SO 1 の電圧 (VN i S 1) や p 型ウエルPWL 0 の電圧 (VWC 0) が、10 V になるまでに、時間T e (<T z) を必要とする。なお、図の (h) に示すように、時刻 t₁ 以降後述する時刻 t₁₁ まで、分離領域Ni SO 1 は、開放状態 (open) に維持されている。

【 0 1 5 7 】

このように、時間T e を要するが、分離領域は、消去ブロック 2 個ごとに分割されているため、分離領域Ni SO 1 により発生する寄生容量C a₁、C b₁ を低減することができる。その結果、消去時間を短縮することができる。

【 0 1 5 8 】

この後、所定の期間に消去動作を行った後、時刻 t_3 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_3 \sim t_4$ の間) に、データ (閾値電圧) の判定が行われる。この際、選択メモリセル $MC0$ が形成されている p 型ウエル $PWL0$ は、0 V に維持される。なお、この際も分離領域 $NiSO$ は、開放状態 (open) に維持されている。

【 0 1 5 9 】

次いで、時刻 t_4 に消去信号 E が “1”、消去ベリファイ信号 EV が “0” となることにより再消去が開始される。

【 0 1 6 0 】

しかしながら、時刻 t_4 においては、分離領域 $NiSO1$ は、実施の形態 2 で説明したように、1 回目の消去期間 (t_2 から t_3 の期間) に昇圧され、その電位を維持しているため、電圧発生回路は、 p 型ウエル $PWL0$ を 10 V までに昇圧するだけでよく、図の (j) に示すように、 p 型ウエル $PWL0$ の電圧 ($VWC0$) が、所望の電圧になるまでの時間 Tf ($Tf < Te < Tz$) を短縮することができる。

【 0 1 6 1 】

この後、所定の期間に消去動作を行った後、時刻 t_5 において消去信号 E が “0”、消去ベリファイ信号 EV が “1” となることによりベリファイ動作が開始する。この消去ベリファイ信号 EV が “1” の期間 ($t_5 \sim t_6$ の間) に、データ (閾値電圧) の判定が行われる。この際、 p 型ウエル $PWL0$ は、0 V に維持され、また、分離領域 $NiSO1$ は、開放状態 (open) に維持される。

【 0 1 6 2 】

次いで、データ (閾値電圧) の判定が “OK” であれば、時刻 t_6 に消去信号 E が “1”、消去ブロック信号 $EB1$ が “1” となることにより消去ブロック 1 が指定され、データの消去が開始される。この際、選択メモリセル $MC1$ が形成されている p 型ウエル $PWL1$ には、10 V の電圧が印加されるが、図の (h) および (k) に示すように、時刻 t_6 においては、分離領域 $NiSO1$ は、1 回

目の消去期間（ t_2 から t_3 の期間）に昇圧されているため、電圧発生回路は、 p 型ウエルPWL1を10Vまでに昇圧するだけでよく、消去時間（ T_f ）を短縮することができる。

【0163】

また、分離領域NiSO1の電圧が下がっているような場合であっても、分離領域NiSO1により発生する寄生容量 C_{a1} 、 C_{b1} は小さいため、消去時間を短縮することができる。

【0164】

この後、所定の期間に消去動作を行った後、時刻 t_7 において消去信号Eが“0”、消去ベリファイ信号EVが“1”となることによりベリファイ動作が開始する。この消去ベリファイ信号EVが“1”の期間（ $t_7 \sim t_8$ の間）に、データ（閾値電圧）の判定が行われる。この際、選択メモリセルMC1が形成されている p 型ウエルPWL1は、0Vに維持される。なお、この際も分離領域NiSO1は、開放状態（open）に維持されている。

【0165】

次いで、時刻 t_8 に消去信号Eが“1”、消去ベリファイ信号EVが“0”となることにより再消去が開始される。

【0166】

この場合も、時刻 t_8 において、分離領域NiSO1は、1回目の消去期間（ t_2 から t_3 の期間）に昇圧されているため、電圧発生回路は、 p 型ウエルPWL1を10Vまでに昇圧するだけでよく、図の（k）に示すように、 p 型ウエルPWL1の電圧（VWC1）が、所望の電圧になるまでの時間 T_f （ $T_f < T_e < T_z$ ）を短縮することができる。

【0167】

この後、所定の期間に消去動作を行った後、消去ブロック信号EB0の場合と同様にベリファイ動作が開始（ t_9 ）する。

【0168】

なお、以上の期間（ $t_1 \sim t_9$ まで）のうち、消去および再消去が行われている期間（ $t_2 \sim t_3$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$ 、 $t_8 \sim t_9$ ）は選択されたメモ

リセル（指定された消去ブロック）と同一の分離領域上に形成されるメモリセルのソース、ドレイン領域（21）が、開放状態（open）維持されている。

【0169】

所望の消去ブロック中のメモリセルのデータの消去が完了した後は、動作信号SWEが“0”となる。その後、時刻 t_{12} において動作信号SWEが“1”となり、時刻 t_{13} に書き込み信号Pが“1”となることによりデータの書き込みが開始される。この際、分離領域NiSO1、2は、V_{dd}に、p型ウエルPWL0～2は、0Vに維持されている。また、メモリセルのソース、ドレイン領域（21）は、0Vに維持されている。

【0170】

この後、所定の期間に、書き込み動作を行った後、時刻 t_{14} において書き込み信号Pが“0”、書き込みベリファイ信号PVが“1”となることによりベリファイ動作が開始する。この書き込みベリファイ信号PVが“1”の期間（ $t_{14} \sim t_{15}$ の間）に、データ（閾値電圧）の判定が行われる。

【0171】

データ（閾値電圧）の判定が“OK”であれば、時刻 t_{16} に動作信号SWEが“0”となる。

【0172】

このように、本実施の形態によれば、分離領域NiSOを、消去ブロックの所定の単位ごとに分割し、指定された消去ブロックに対応する分離領域NiSOを昇圧することとしたので、寄生容量を低減することができる。その結果、消去時間を短縮することができる。

【0173】

また、本実施の形態によれば、 t_1 から t_{11} までの消去期間中に、指定された消去ブロックに対応する分離領域NiSOを開放状態（open）に維持したので、2回目以降の消去動作において、選択されたメモリセルが形成されているp型ウエル電圧が、所望の電圧になるまでの時間 T_f を短縮することができる。

【0174】

ここで、分離領域NiSOの分割単位については、実施の形態3において図1

1 および図 1 2 を参照しながら説明したように、一定の容量（例えば、1 2 8 k B）毎に分離領域 N i S O を分離することができる。また、メモリ容量が小さい消去ブロック（例えば、4 k B の E B 0 ~ E B 7）については、小単位（例えば、1 6 k B）毎に、また、メモリ容量が大きい消去ブロック（例えば、6 4 k B の E B 1 0 ~ E B 1 5）については、比較的大きな単位（例えば、1 9 2 k B）毎に分離領域 N i S O を分割することができる。

【 0 1 7 5 】

このように、消去回数が多いデータが記憶されるメモリ容量が小さい消去ブロックについては、分離領域 N i S O の分割数を多くすることで、さらなる消去時間の短縮を図ることができる。

【 0 1 7 6 】

（実施の形態 5）

ここでは、実施の形態 1 ~ 4 中で示した種々の回路の一例について説明する。

【 0 1 7 7 】

図 1 6（a）は、実施の形態 1 等で説明した電圧制御回路 S W C i（i = 0 ~ 3）の一例である。この回路は、消去ブロック信号 E B i（i = 0 ~ 3）および消去信号 E に応答して、選択メモリセルおよび非選択メモリセルのソース（2 1）を開放状態（o p e n）に維持する。また、選択されたメモリセルが形成される p 型ウェルに所定の電位を供給する。ここで、L V U とは、図 1 6（b）に示すような電圧レベル変換回路である（図 1 7 から図 2 3 について同じ）。

【 0 1 7 8 】

また、実施の形態 1 等で説明した電源回路 V S 中には、図 1 7 もしくは図 1 8 に示すような、昇圧電源回路が形成される。

【 0 1 7 9 】

また、図 1 9 および図 2 0 は、実施の形態 2 で説明した制御回路 N i S C 2 の一例である。これらの回路は、動作信号 S W E、消去ベリファイ信号 E V および消去信号 E 等に応答して、分離領域 N i S O を開放状態（o p e n）に維持する。

【 0 1 8 0 】

また、図 2 1 および図 2 2 は、実施の形態 3 で説明した制御回路 N i S C 3 1、3 2 の一例である。この回路は、分割された分離領域（N i S O 1 もしくは 2）上の消去ブロックに入力される消去ブロック信号（E B 0、1 もしくは E B 2、3）に応答して分離領域（N i S O 1 もしくは 2）を開放状態（o p e n）に維持する。

【 0 1 8 1 】

また、図 2 3 は、実施の形態 4 で説明した制御回路 N i S C 4 1、4 2 の一例である。この回路は、動作信号 S W E、消去ペリファイ信号 E V および消去信号 E 等、並びに分割された分離領域（N i S O 1 もしくは 2）上の消去ブロックに入力される消去ブロック信号（E B 0、1 もしくは E B 2、3）に応答して分離領域（N i S O 1 もしくは 2）を開放状態（o p e n）に維持する。

【 0 1 8 2 】

（実施の形態 6）

ここでは、実施の形態 1 ～ 4 中で示したフラッシュメモリのメモリセルの構成と周辺回路を構成する高耐圧 M I S F E T（Metal Insulator Semiconductor Field Effect Transistor）や低耐圧 M I S F E T との関係を説明する。

【 0 1 8 3 】

図 3 3 に示すように、メモリアレイ部の周辺には、周辺回路領域が存在する。

【 0 1 8 4 】

このメモリアレイ部には、半導体基板 P S U B 中に形成された p 型ウエル P W L の主表面にメモリセル M C が複数個形成されている。これらのメモリセルの構成は、実施の形態 1 等で図 2 5 を参照しながら説明したので詳細な説明は省略する。

【 0 1 8 5 】

また、周辺回路領域には、高耐圧部と低耐圧部が存在し、高耐圧部には、ゲート絶縁膜（G Z 1）の厚い M I S F E T Q H n、Q H p が形成され、低耐圧部には、ゲート絶縁膜（G Z 2）の薄い M I S F E T Q L n、Q L p が形成されている。なお、Q H n、Q L n は、n チャネル型 M I S F E T であり、Q H p、Q L p は、p チャネル型 M I S F E T である。なお、周辺回路部の各構成のうち、メ

モリアレイ部と同様の部位については、対応する符号を付け、その詳細な説明を省略する。

【 0 1 8 6 】

このようなMISFETQH_n、QH_p、QL_n、QL_p等を組み合わせることにより実施の形態5で説明した種々の回路が構成される。

【 0 1 8 7 】

(実施の形態7)

ここでは、実施の形態1～4中で示したフラッシュメモリを用いたシステムについて説明する。

【 0 1 8 8 】

例えば、図34は、前述のフラッシュメモリを内蔵したマイクロコンピュータのシステム構成図である。

【 0 1 8 9 】

図示するように、フラッシュメモリ701は、中央処理装置(CPU)702やフラッシュメモリコントローラ706等によりバスを通じて制御される。ここで、703は、周辺回路、704は、バスコントローラ、705は、RAM(Random Access Memory)部、708は、入出力部を示す。

【 0 1 9 0 】

例えば、図35に示すように、このCPU702は、フラッシュメモリコントローラ706にバスを通じて、フラッシュメモリコントローラ706中の制御レジスタ706aに命令を送信し、この制御レジスタ706aからは、前記命令に対応して動作信号(SWE、EB0～3、P、PV、E、EV)が作成される。さらに、これらの動作信号は、バスおよびフラッシュメモリモジュール701中の制御回路701aを介して電源回路VSに入力される。また、フラッシュメモリモジュール701中のアドレスバッファ回路701cには、CPU702からバスを通じてアドレス信号が入力され、この信号および前述の制御回路701aからの信号に対応してメモリマット701d中のメモリセルが選択される。さらに、メモリマット701dには、実施の形態1～4で説明したように、電源回路VSによって書き換え電圧やベリファイ電圧等が印加される。

【 0 1 9 1 】

図 3 6 は、前述のフラッシュメモリを用いた不揮発性記憶装置の概略図である。不揮発性記憶装置は、単一の半導体基板上に、前述のフラッシュメモリを有するメモリアレイ部 9 0 1 と不揮発性記憶装置の動作を制御する制御部 9 0 2 とフラッシュメモリに印加する電圧を生成する電圧生成部 9 0 3 と不揮発性記憶装置と図示しない外部とのデータ等の授受を行うインタフェース部 9 0 4 とを有する。不揮発性記憶装置は、外部から動作指示をコマンドとして受け付け、上記コマンドに応じて上記制御部 9 0 2 が上記メモリアレイ部 9 0 1 に格納されたデータを読み出し、データを書込み、又はデータの消去等の動作を制御する。

【 0 1 9 2 】

不揮発性記憶装置は、上記外部からのデータの消去を指示するコマンドや既にデータが格納されている領域へのデータを書込み(以下書換えという)を指示するコマンドに応じて、前述の分離領域NiS0に生じる寄生容量を充電し、又は分離領域NiS0に生じる寄生容量を充電するためのコマンドを受けるようにしても良い。更には不揮発性記憶装置内に外部から供給される電圧の検出回路を有するようにし、外部から供給される電圧が所定のレベルになることを検出し、それに応じて分離領域NiS0に生じる寄生容量を充電するようにしても良い。上記書換え動作の場合、当該領域に格納されているデータの消去を行い、その後に当該領域へデータの書込みを行う。

【 0 1 9 3 】

いわゆるストレージ用途として用いられる大容量の不揮発性記憶装置の場合、データの消去や書換え等のデータの消去動作を含む動作が比較的多く発生するため、消去動作時に必要な電位差を制御電極CGにのみ印加しp型ウェル領域には0vを印加するようにした場合、フラッシュメモリのゲート絶縁膜GZに高電圧が印可されることによるストレスが生じ、書換え回数の上限が生じることとなる。そのためデータの消去動作時に、p型ウェル領域に正電圧を印可し制御電極CGに負電圧を印加することにより相対的に高い電位差を生じさせるようにすることは、ゲート絶縁膜GZに生じるストレスを減じ、フラッシュメモリの書換え回数を増加させるのに有効である。また、p型ウェル領域に正電圧を印加することにより分離

領域NiS0に生じる寄生容量に予め充電しておくことは、データの消去や書換え等の動作の高速化においても有効である。

【 0 1 9 4 】

図 3 7 は、図 3 6 において説明した不揮発性記憶装置を用いたメモ리카ードの概略図である。図示するように、メモ리카ードCDは、不揮発性記憶装置 8 0 1 ~ 8 0 3、制御部 8 0 4 及びインタフェース部 8 0 5 を有する。不揮発性記憶装置 8 0 1 ~ 8 0 3 は複数記載しているが、その数については制限されず、1 の不揮発性記憶装置のみであっても良い。インタフェース部 8 0 5 は、メモ리카ードの外部に接続される図示しないホスト装置からの動作指示を受け、ホスト装置からの動作指示はバス B U S を介して上記制御部 8 0 4 に渡される。制御部 8 0 4 は上記動作指示に応じて、不揮発性記憶装置 8 0 1 ~ 8 0 3 に格納されるデータを読出し、データを書込み、又はデータの消去等の動作を制御するコマンドを、上記不揮発性半導体記憶装置 8 0 1 ~ 8 0 3 へ発行する。

【 0 1 9 5 】

上記制御部 8 0 4 からの上記データの消去コマンド又は書換えコマンドの発行に応じて、上記不揮発性記憶装置は分離領域NiS0に電荷を充電するようにしてもよく、又は、制御部 8 0 4 から分離領域NiS0に電荷を充電するためのコマンドを発行されるようにしても良い。この場合、上記メモ리카ードは上記ホスト装置に接続されることにより電力が供給され、上記制御部 8 0 4 は上記電力の供給に応じて内部に有するレジスタを初期化し、上記レジスタに上記不揮発性半導体記憶装置 8 0 1 ~ 8 0 3 の分離領域NiS0が充電済みか否かの情報を持たせるようにしても良い。

【 0 1 9 6 】

メモ리카ードに用いられる不揮発性記憶装置は、前述のストレージ用途として用いられる大容量のものであることが多く、データの消去や書換え等の動作の高速化を図るために、複数の不揮発性記憶装置に対して同時にコマンドを発行し、又は1の不揮発性記憶装置に発行したコマンドの動作が完了する前に他の不揮発性記憶装置に対してコマンドを発行するようにしても良い。

【 0 1 9 7 】

メモ리카ードの用途としては、通信回線を介してのデータの授受、具体的には携帯電話を用いた音楽データの配信等が考えられる。このような用途に使用する場合、比較的頻繁にデータの書換えが行われることとなり、またデータの消去や書換え等の際のデータの消去動作に時間がかかると、通信時間の増大といった問題が生じることとなるため、書換え回数の増加と消去動作の高速化はこのような用途においても有効である。さらには、消去動作の毎に分離領域NiSOの充放電を行うことは、消費電力の増大をもたらすため、分離領域NiSOへの充放電回数を減らすことは消費電力の削減の点においても有効である。

【 0 1 9 8 】

このように、フラッシュメモリのみならず、例えばマイクロプロセッサ等のような論理回路とフラッシュメモリとを同一の半導体基板に設けている混載型の装置にも広く適用できる。

【 0 1 9 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 2 0 0 】

例えばメモリセルとして、いわゆるD i N O R型のメモリセルを例に説明したが、AND型もしくはNAND型等、制御電極と半導体基板（ウエルやソース、ドレイン領域も含む）との電位差を利用して、電荷蓄積層中の電子を引きぬく消去方法を利用する不揮発性半導体記憶装置に広く適用可能である。

【 0 2 0 1 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 2 0 2 】

すなわち、半導体基板と、不揮発性メモリセルが形成される第1の半導体領域との間に形成された第2の半導体領域（N i S O）に、前記第1の半導体領域に電圧を印加する手段とは異なる電圧印加手段を利用して、第2の半導体領域によ

って生じる寄生容量を充電することとしたので、不揮発性メモリセルのデータの消去時間を短縮することができる。

【 0 2 0 3 】

また、半導体基板と、不揮発性メモリセルが形成される第 1 の半導体領域との間に形成された第 2 の半導体領域に電圧の印加を禁止する手段を設け、不揮発性メモリセルのデータの消去時間に、第 2 の半導体領域を開放状態としたので、不揮発性メモリセルのデータの消去時間を短縮することができる。

【 0 2 0 4 】

また、半導体基板と、不揮発性メモリセルが形成される第 1 の半導体領域との間に形成された第 2 の半導体領域を複数に分割したので、複数に分割された第 2 の半導体領域によって生じる寄生容量を低減することができ、不揮発性メモリセルのデータの消去時間を短縮することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態であるフラッシュメモリに書き込まれたデータを消去する際に p 型ウエルおよび分離領域に印加される電圧を示す図である。

【図 2】

分離領域および p 型ウエルと電圧発生回路との接続を示す図である。

【図 3】

本発明の一実施の形態であるデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【図 4】

分離領域および p 型ウエルと電圧発生回路との接続を示す図である。

【図 5】

本発明の一実施の形態であるフラッシュメモリに書き込まれたデータを消去する際に p 型ウエルおよび分離領域に印加される電圧を示す図である。

【図 6】

分離領域および p 型ウエルと制御回路および電源回路との接続を示す図である。

【図 7】

本発明の一実施の形態であるデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【図 8】

本発明の一実施の形態であるフラッシュメモリに書き込まれたデータを消去する際に p 型ウエルおよび分離領域に印加される電圧を示す図である。

【図 9】

分離領域および p 型ウエルと制御回路および電源回路との接続を示す図である。

【図 1 0】

本発明の一実施の形態であるデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【図 1 1】

本発明の一実施の形態であるフラッシュメモリの消去ブロックと分離領域との関係を示す図である。

【図 1 2】

本発明の一実施の形態であるフラッシュメモリの消去ブロックと分離領域との関係を示す図である。

【図 1 3】

本発明の一実施の形態であるフラッシュメモリに書き込まれたデータを消去する際に p 型ウエルおよび分離領域に印加される電圧を示す図である。

【図 1 4】

分離領域および p 型ウエルと制御回路および電源回路との接続を示す図である。

【図 1 5】

本発明の一実施の形態であるデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【図 1 6】

(a) および (b) は、本発明の一実施の形態に用いられる回路の具体的構成

を示した図である。

【図 1 7】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 1 8】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 1 9】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 2 0】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 2 1】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 2 2】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 2 3】

本発明の一実施の形態に用いられる回路の具体的構成を示した図である。

【図 2 4】

本発明の一実施の形態であるフラッシュメモリ（EEPROM）におけるメモリアレイの一例を示す要部回路図である。

【図 2 5】

本発明の一実施の形態であるフラッシュメモリ（EEPROM）の要部断面を示す図である。

【図 2 6】

（a）～（e）は、本発明の一実施の形態であるフラッシュメモリ（EEPROM）の動作を示す図である。

【図 2 7】

（a）および（b）は、本発明の一実施の形態であるフラッシュメモリ（EEPROM）の動作フローを示す図である。

【図 2 8】

本発明の課題を説明するためのフラッシュメモリの構成およびこれ書き込まれ

たデータを消去する際に p 型ウエルおよび分離領域に印加される電圧を示す図である。

【図 2 9】

図 2 8 に示すフラッシュメモリのデータの消去時の各信号および各部位の電圧の変化を示すタイミングチャートである。

【図 3 0】

図 2 8 に示すフラッシュメモリの分離領域および p 型ウエルと電圧発生回路との接続を示す図である。

【図 3 1】

フラッシュメモリの消去ブロック内のメモリセルを説明するための図である。

【図 3 2】

(a) および (b) は、フラッシュメモリの消去ブロックを説明するための図である。

【図 3 3】

本発明の一実施の形態であるフラッシュメモリ (EEPROM) と周辺回路領域との関係を示す図である。

【図 3 4】

フラッシュメモリを内蔵したマイクロコンピュータのシステム構成図である。

【図 3 5】

CPU、フラッシュメモリコントローラおよびフラッシュメモリモジュールとの関係を示す図である。

【図 3 6】

フラッシュメモリを用いたメモリカードの概略図である。

【図 3 7】

単体チップ上に、メモリアレイ部、制御部、電圧生成部およびインターフェース部を形成した場合の概略図である。

【符号の説明】

0 ～ 3 消去ブロック

EBi 消去ブロック信号
EV 消去ベリファイ信号
FG 浮遊電極
GBL 主データ線
GZ ゲート絶縁膜
MC メモリセル
MC0～3 (フラッシュ) メモリセル
NWL n型ウエル
NiSC2 制御回路
NiSC31、32 制御回路
NiSC41、42 制御回路
NiSO 分離領域
NiSO1、2 分離領域
NiSO1～4 分離領域
NiSO11～14 分離領域
P 書き込み信号
PSUB 半導体基板
PV 書き込みベリファイ信号
PW p型ウエル
PWL p型ウエル
PWL0～15 p型ウエル
QHn nチャネル型MISFET
QHp pチャネル型MISFET
QLn nチャネル型MISFET
QLp pチャネル型MISFET
SBL 副データ線
SC0～SC3 信号配線
SL 副ソース線
SWE 動作信号

S W i、S W C 0 ～ S W C 3 電圧制御回路

S w 1 スイッチ

T 階層化トランジスタ

T a ～ T f 時間

T x 期間

T z 期間

V S 電源回路

Z 0 ～ Z 3 信号配線

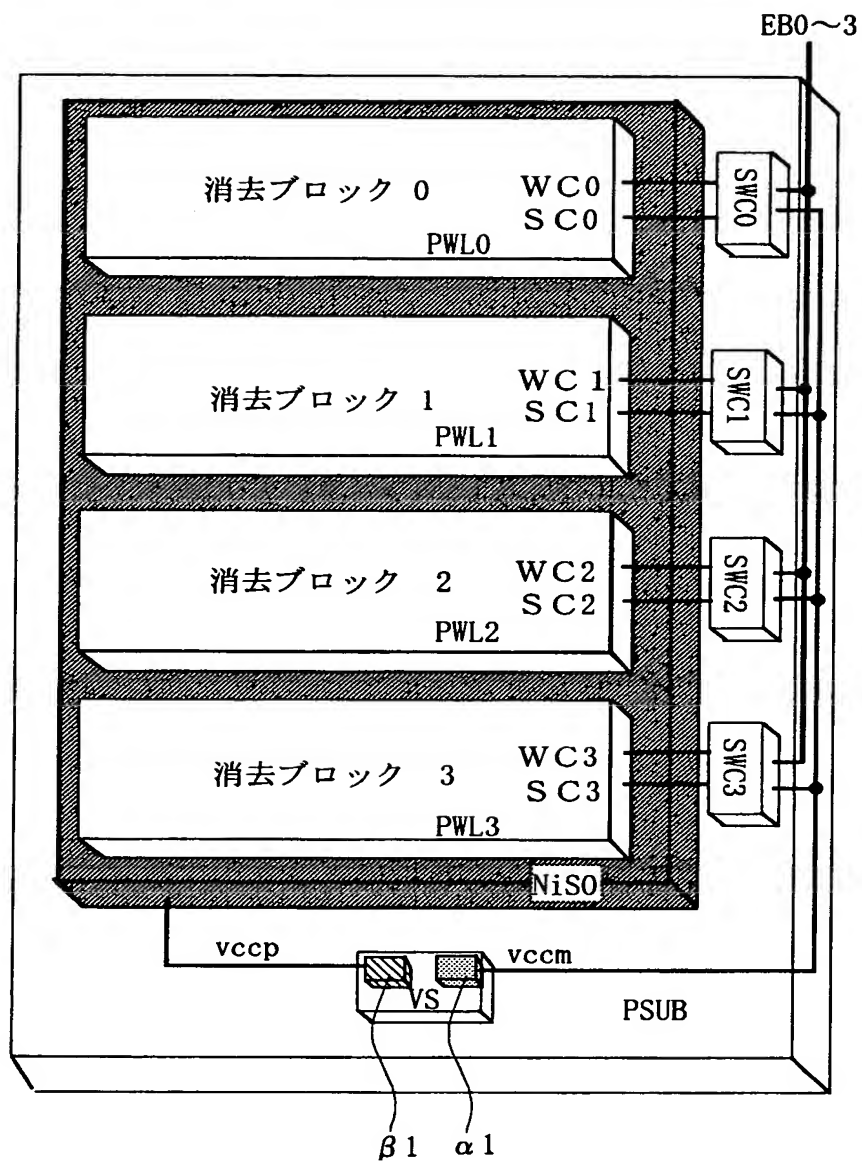
t 0 ～ T 1 6 時刻

α 、 α 1 電圧発生回路

β 1 電圧発生回路

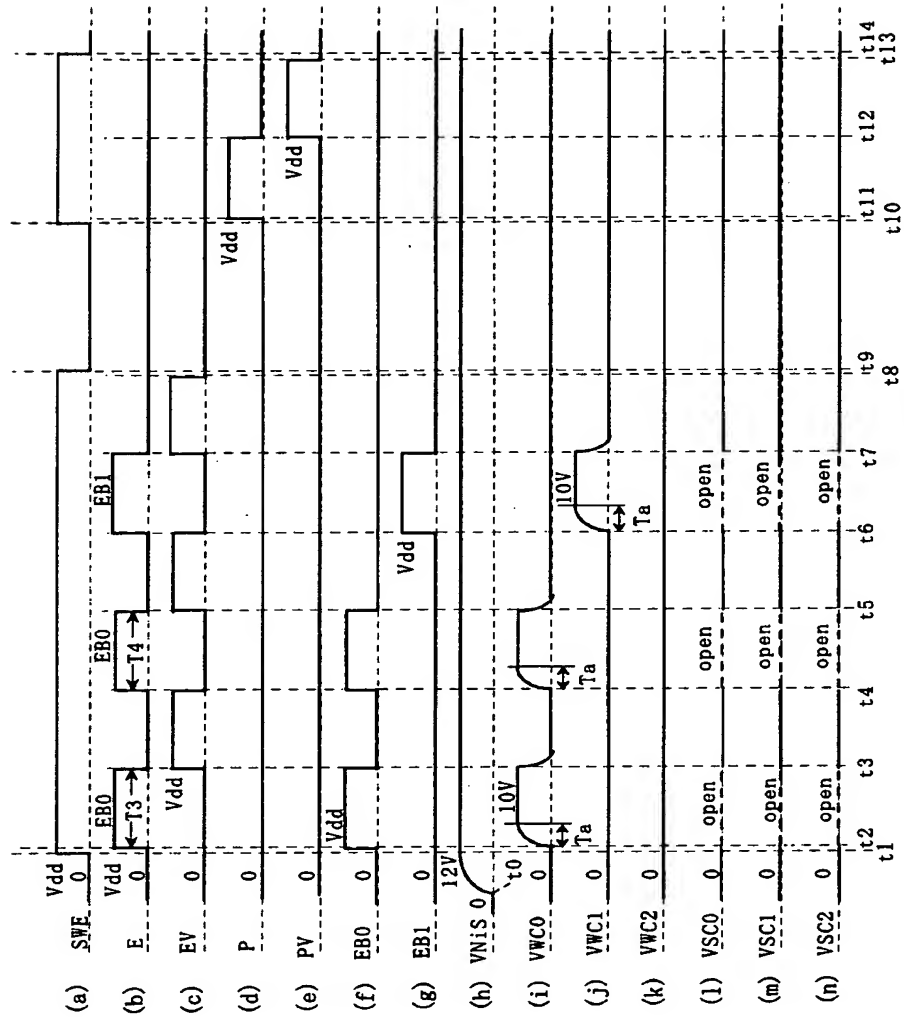
【図 2】

図 2



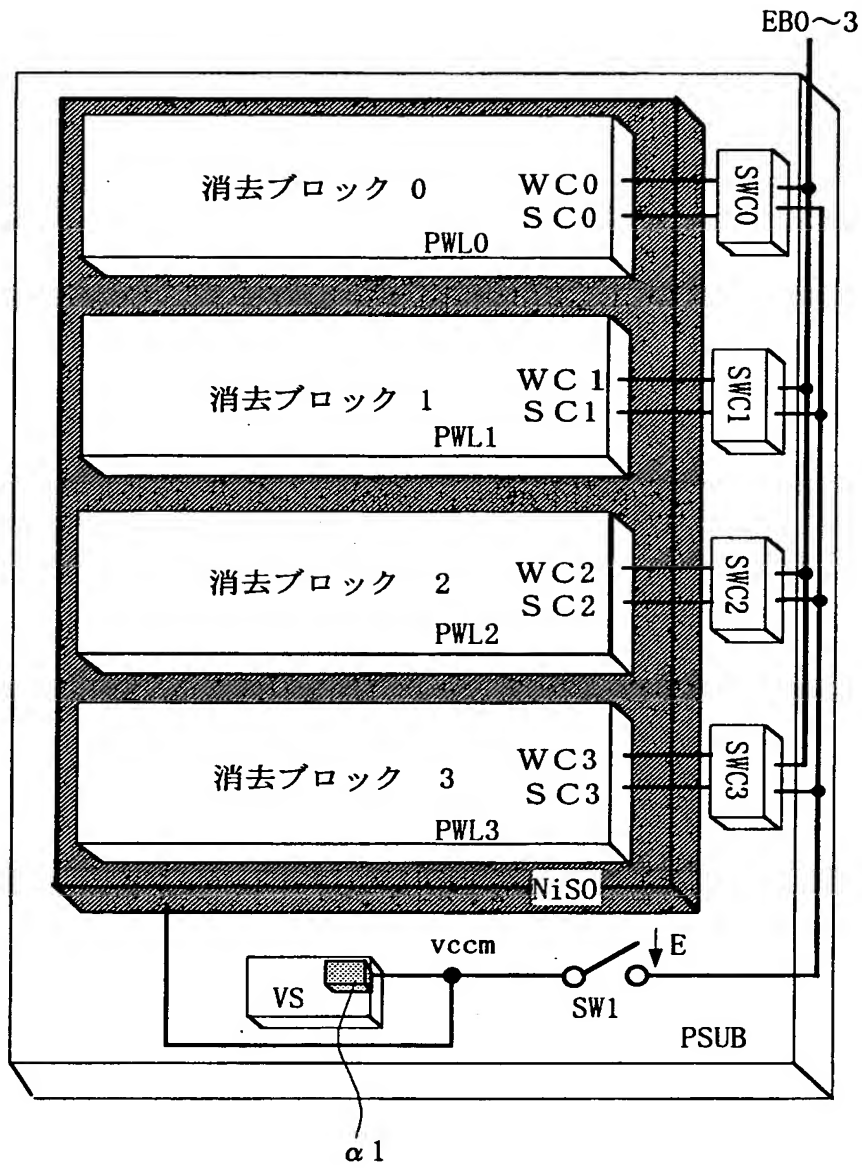
【図 3】

3

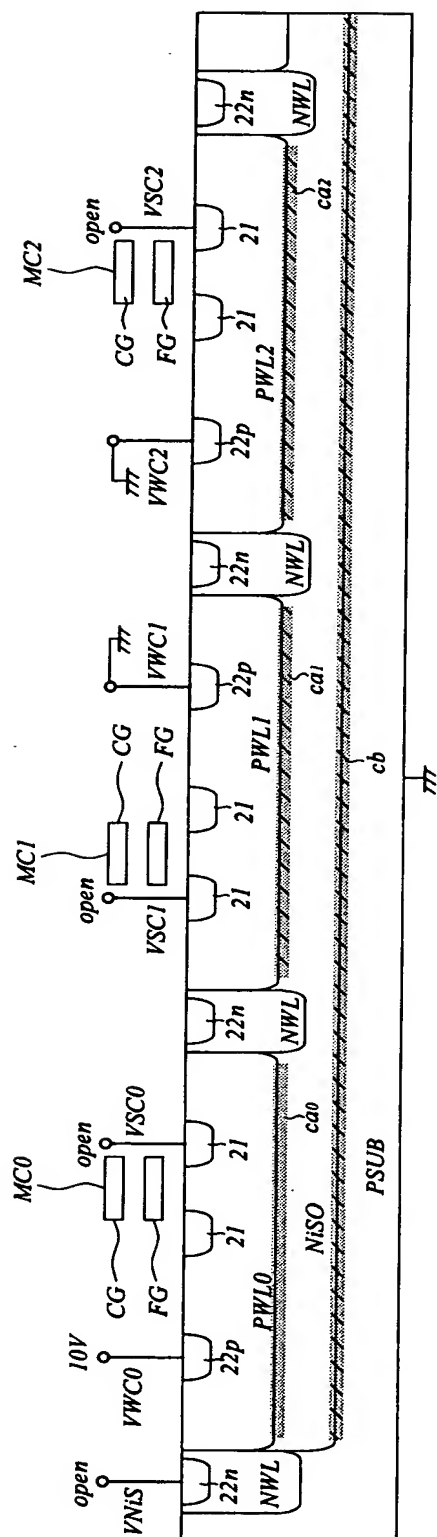


【図 4】

図 4

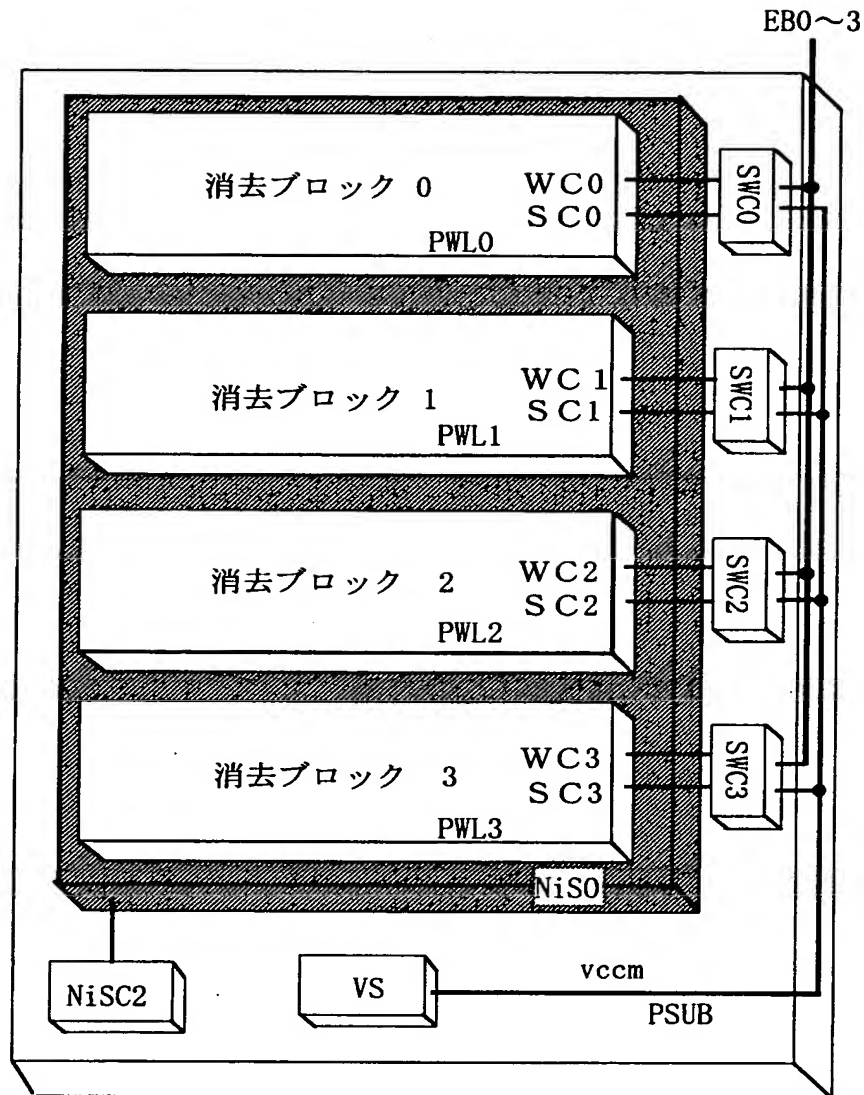


【図 5】



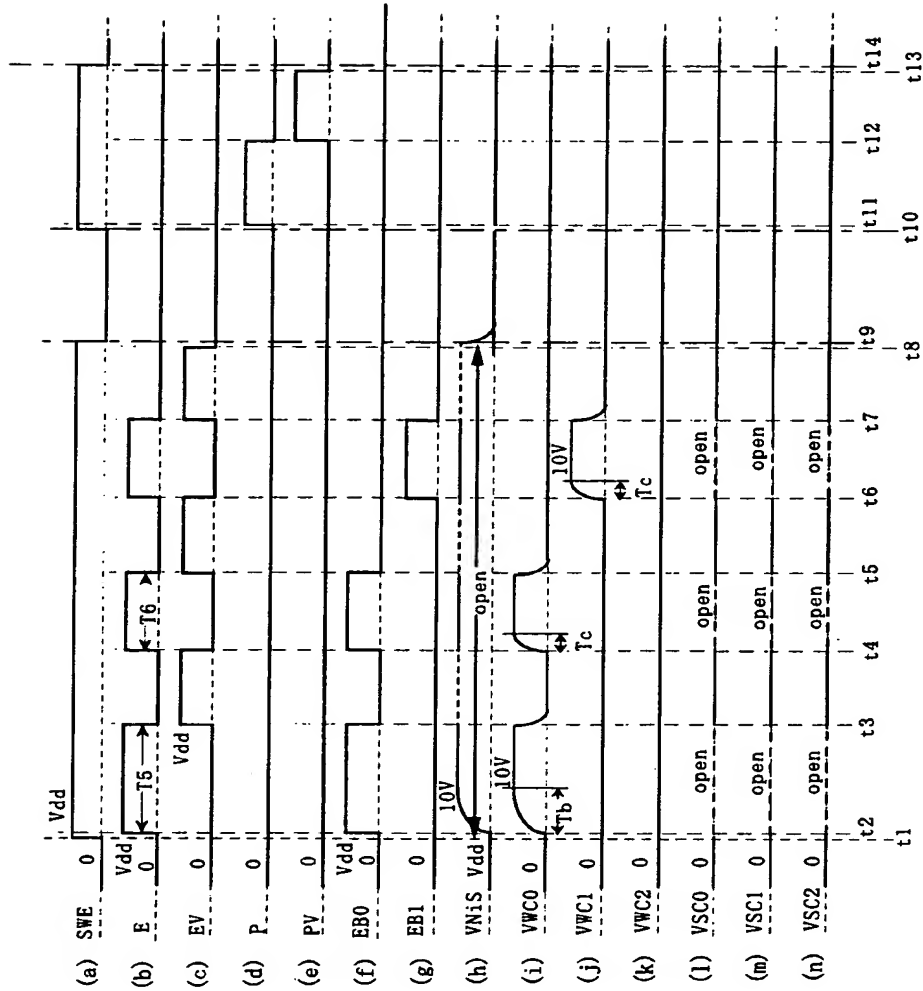
【図 6】

図 6



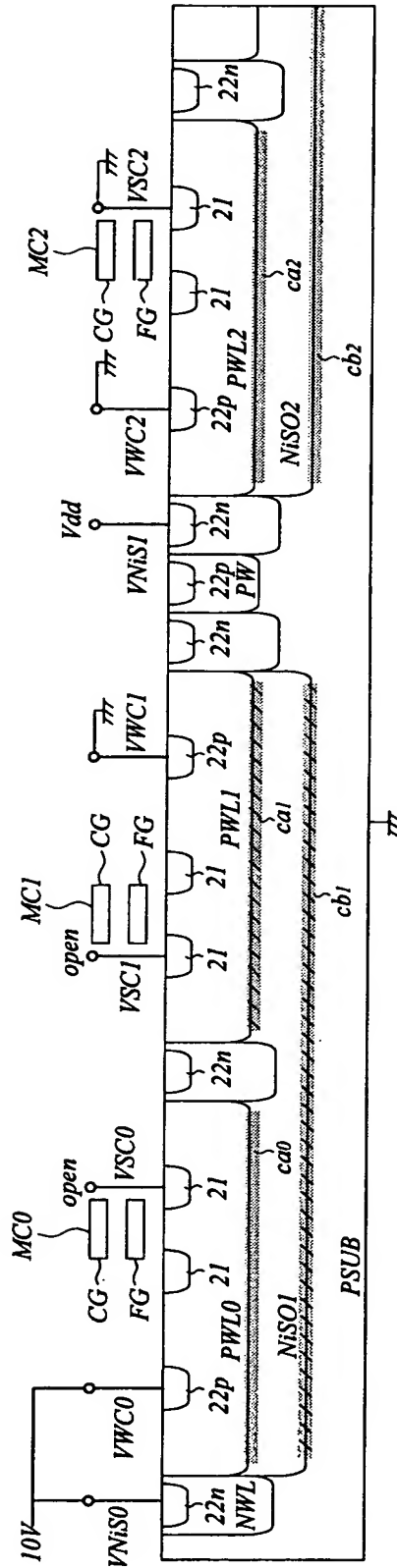
【図 7】

図 7



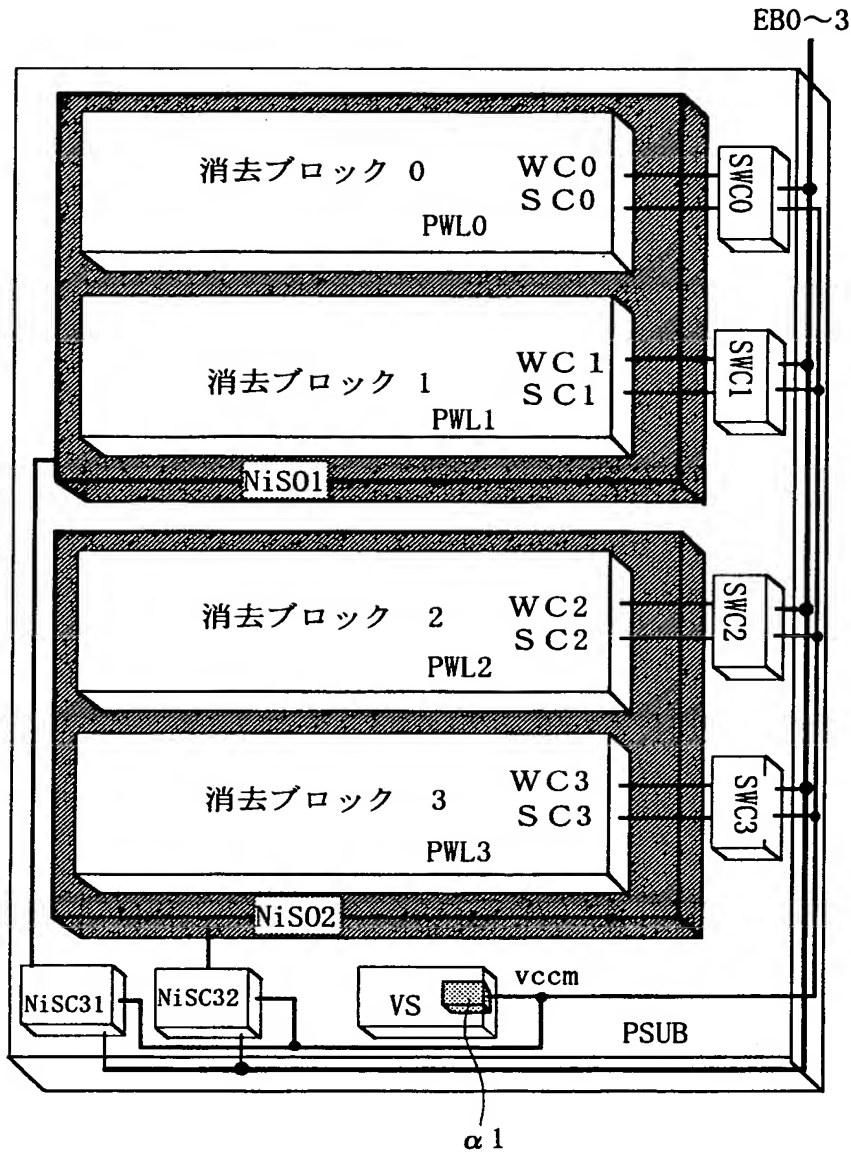
【図 8】

図 8

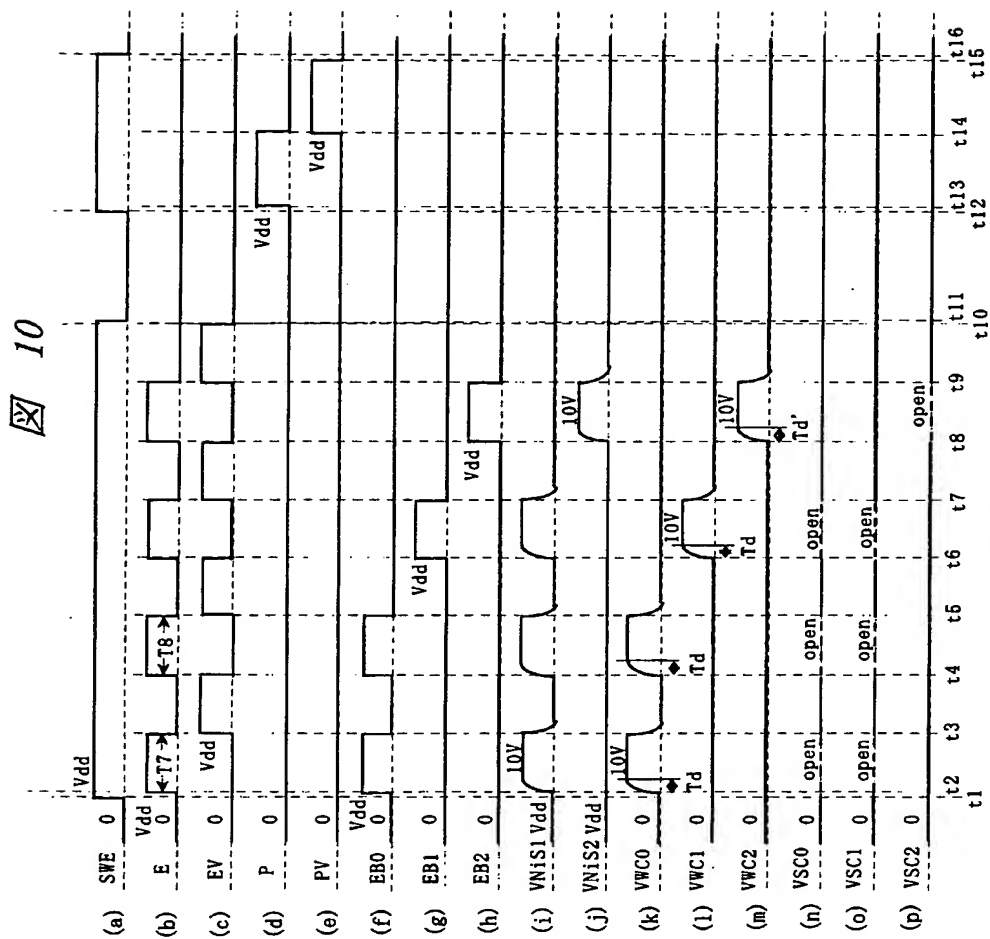


【図 9】

図 9

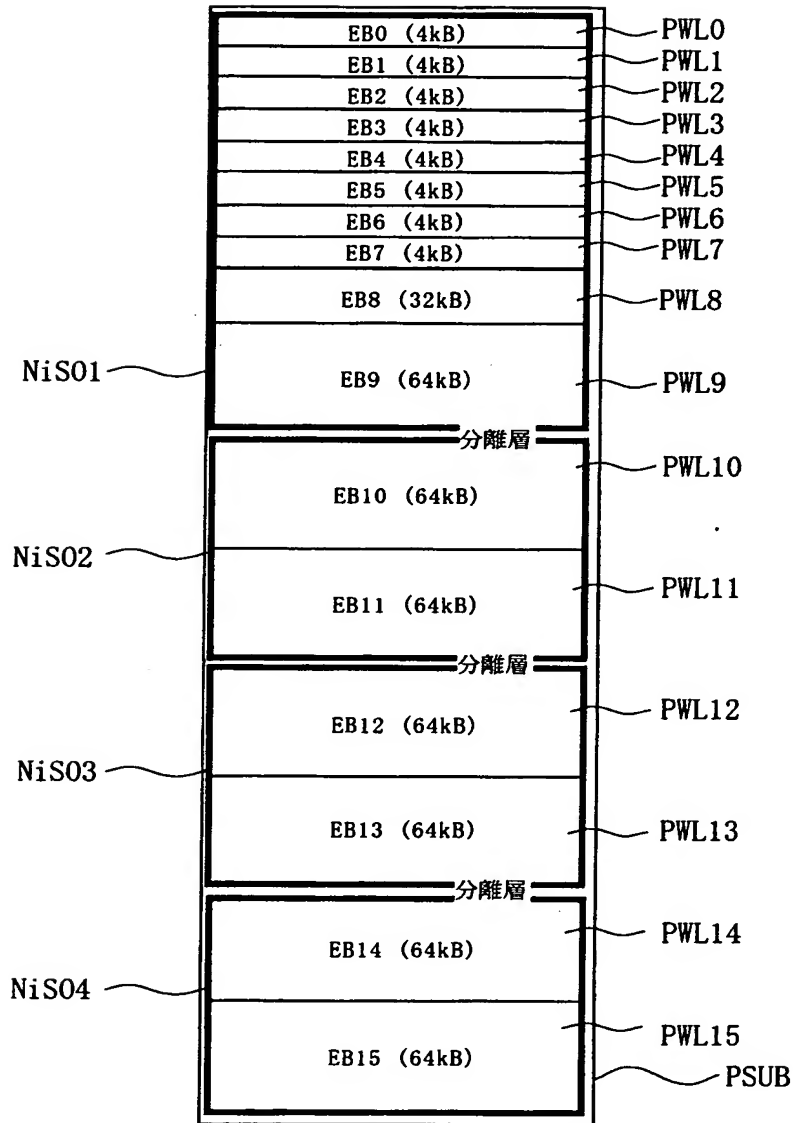


【図 10】



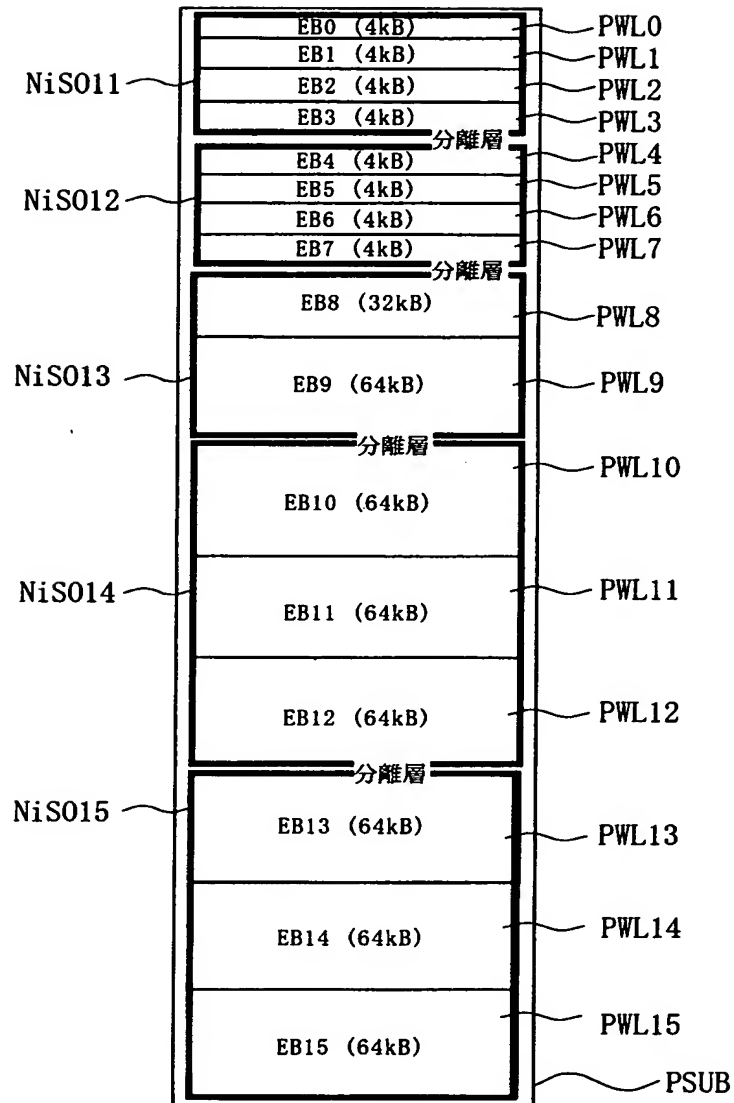
【図 1 1】

図 11



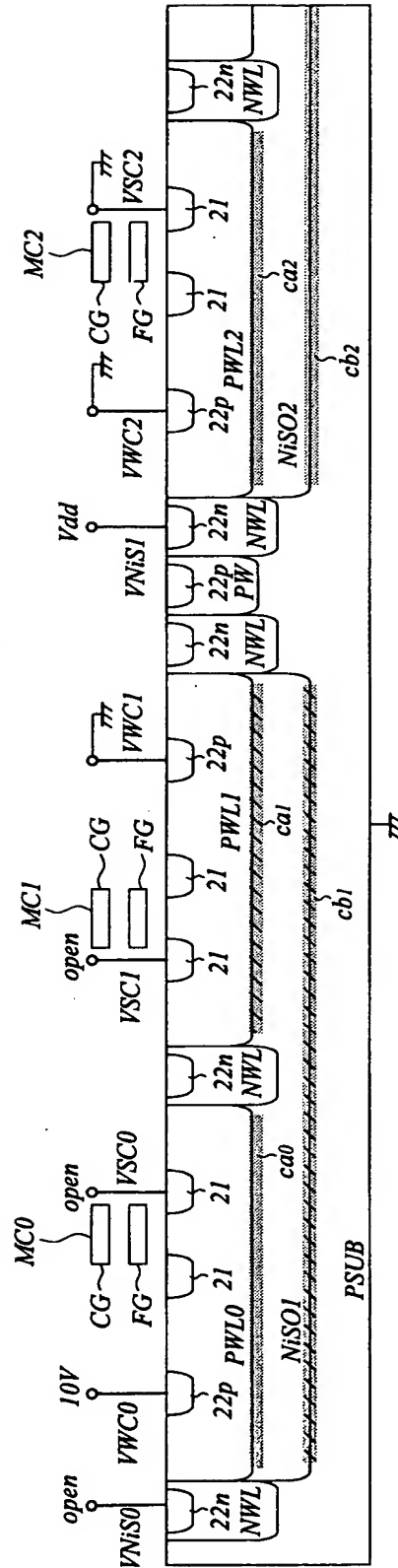
【図 1 2】

図 12



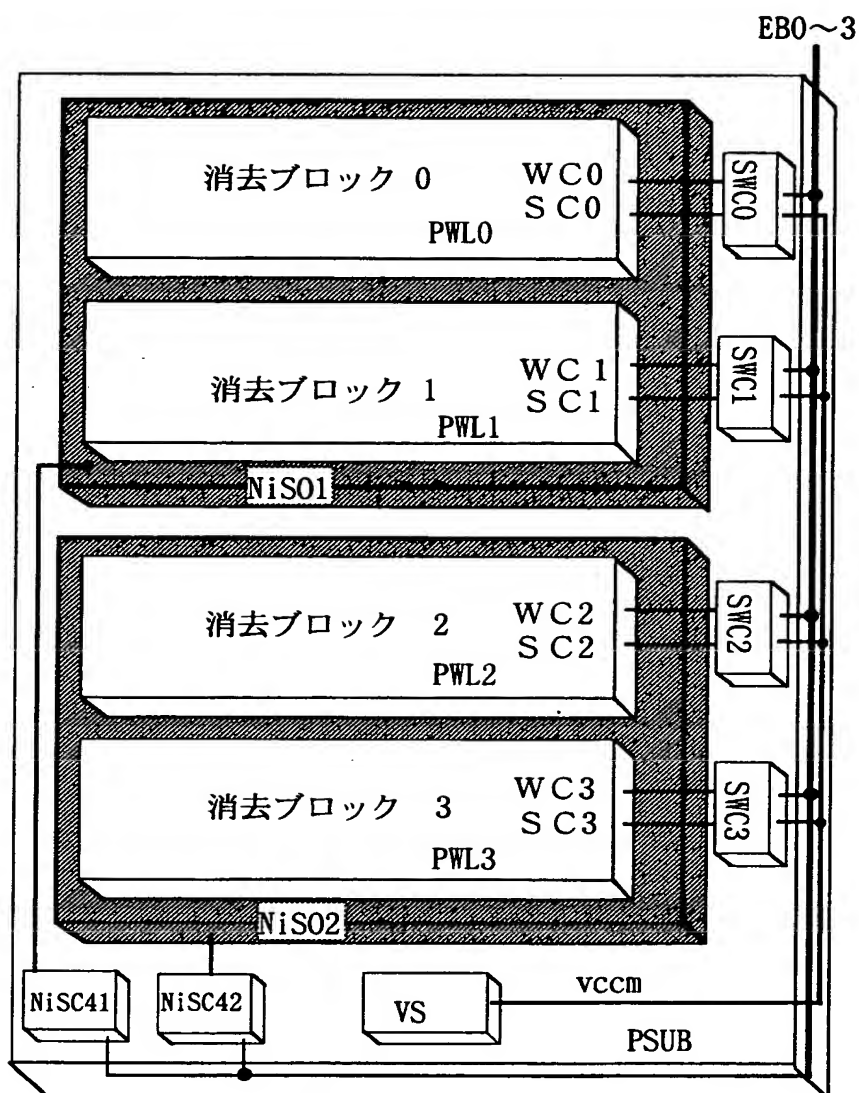
【図 13】

図 13



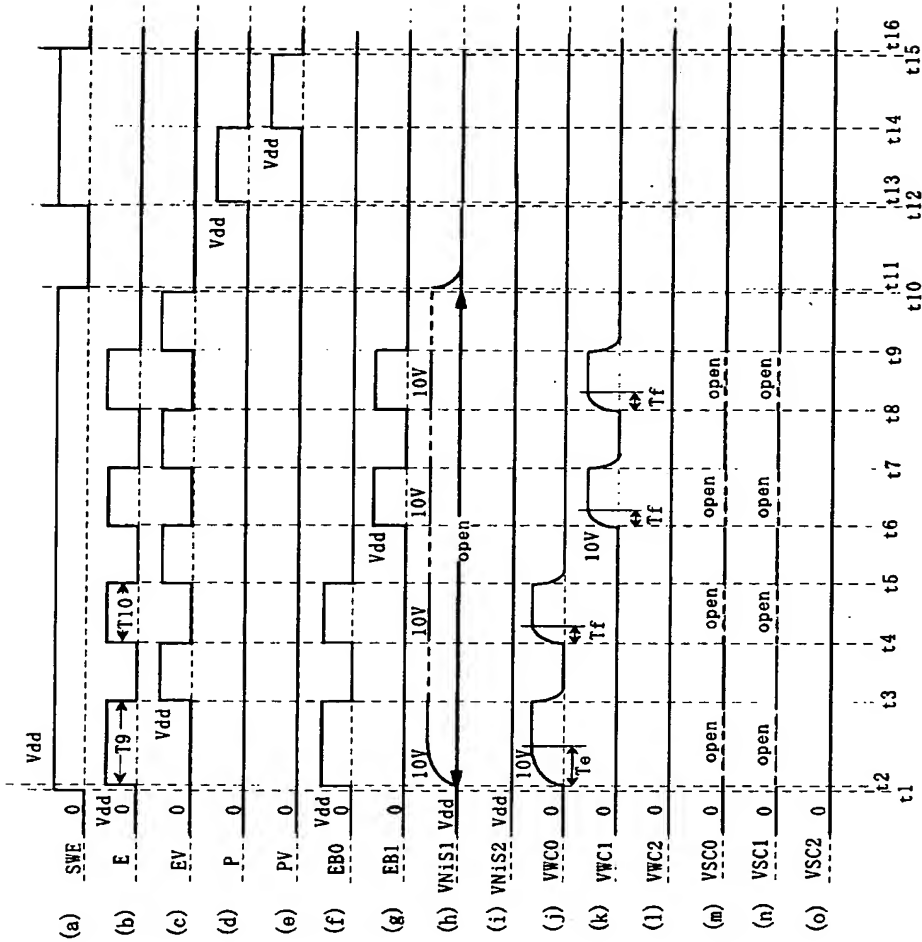
【図 1 4】

図 14



【図 15】

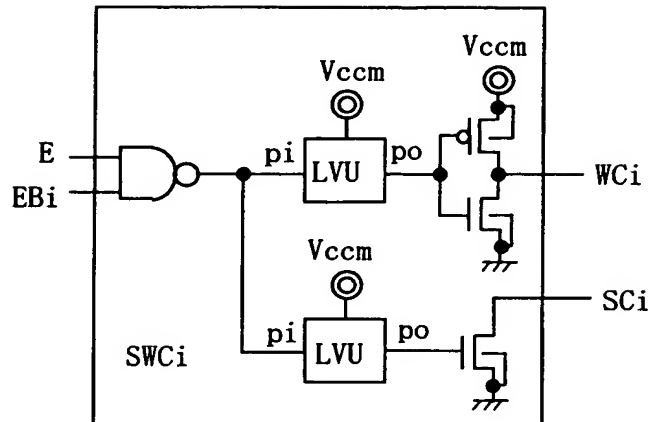
図 15



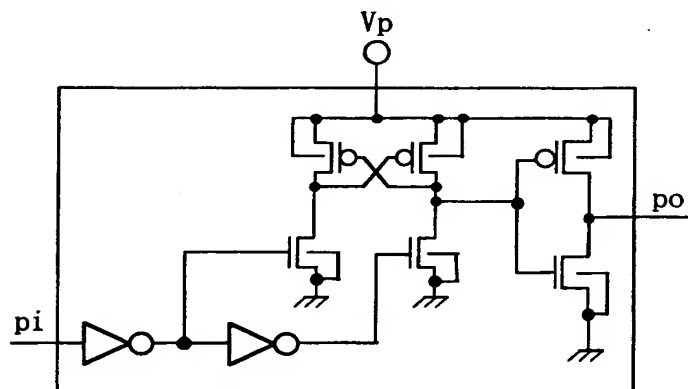
【図 1 6】

図 16

(a)

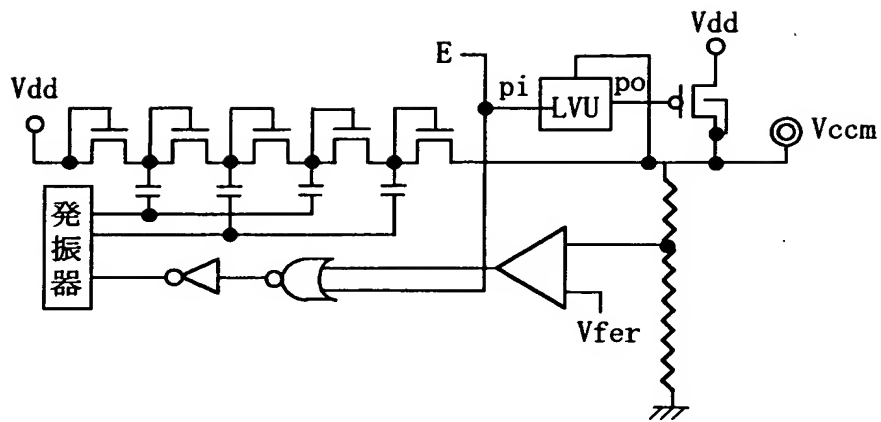


(b)



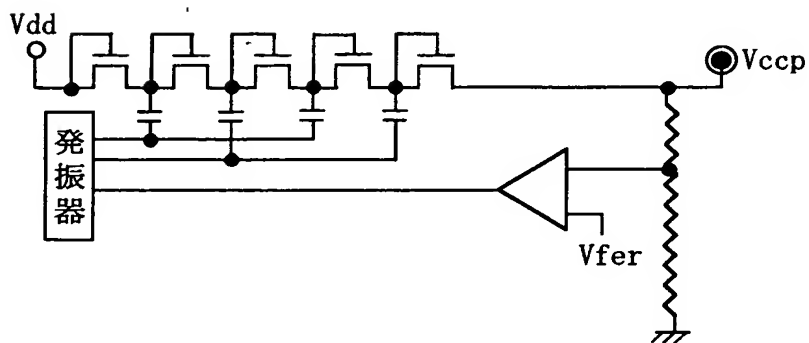
【図 1 7】

図 17



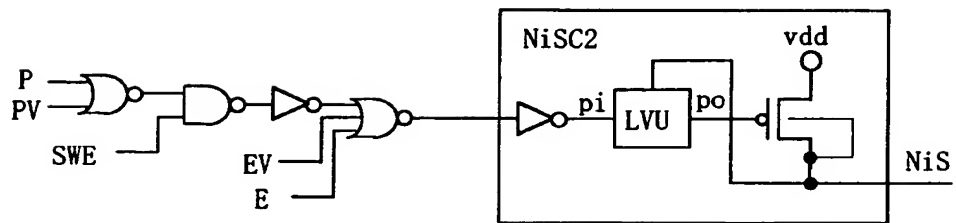
【図 1 8】

図 18



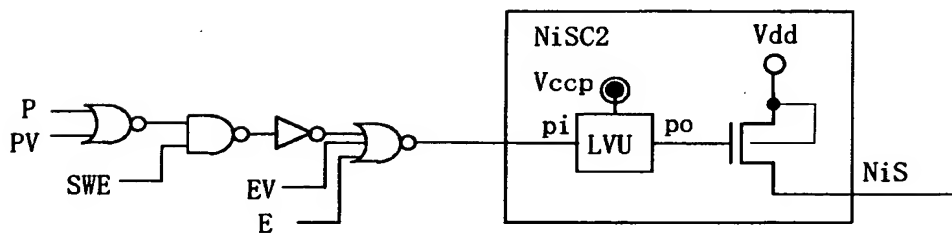
【図 1 9】

図 19



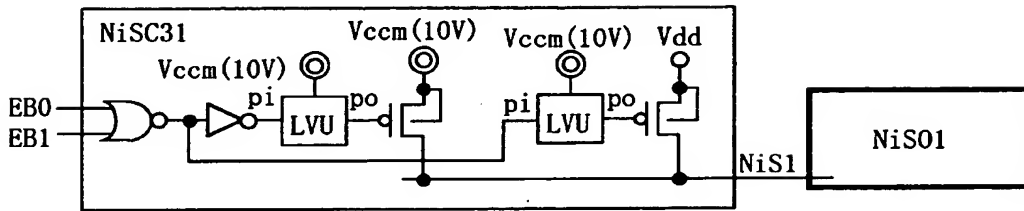
【図 2 0】

図 20



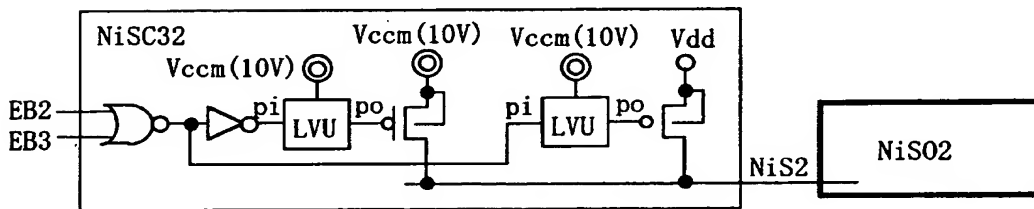
【図 2 1】

図 21

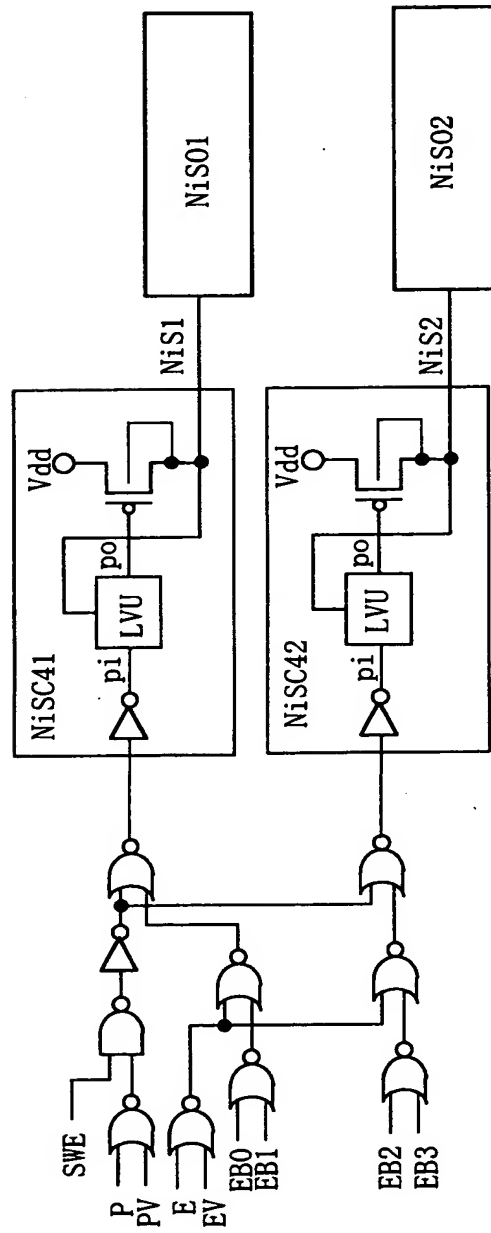
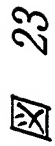


【図 2 2】

図 22

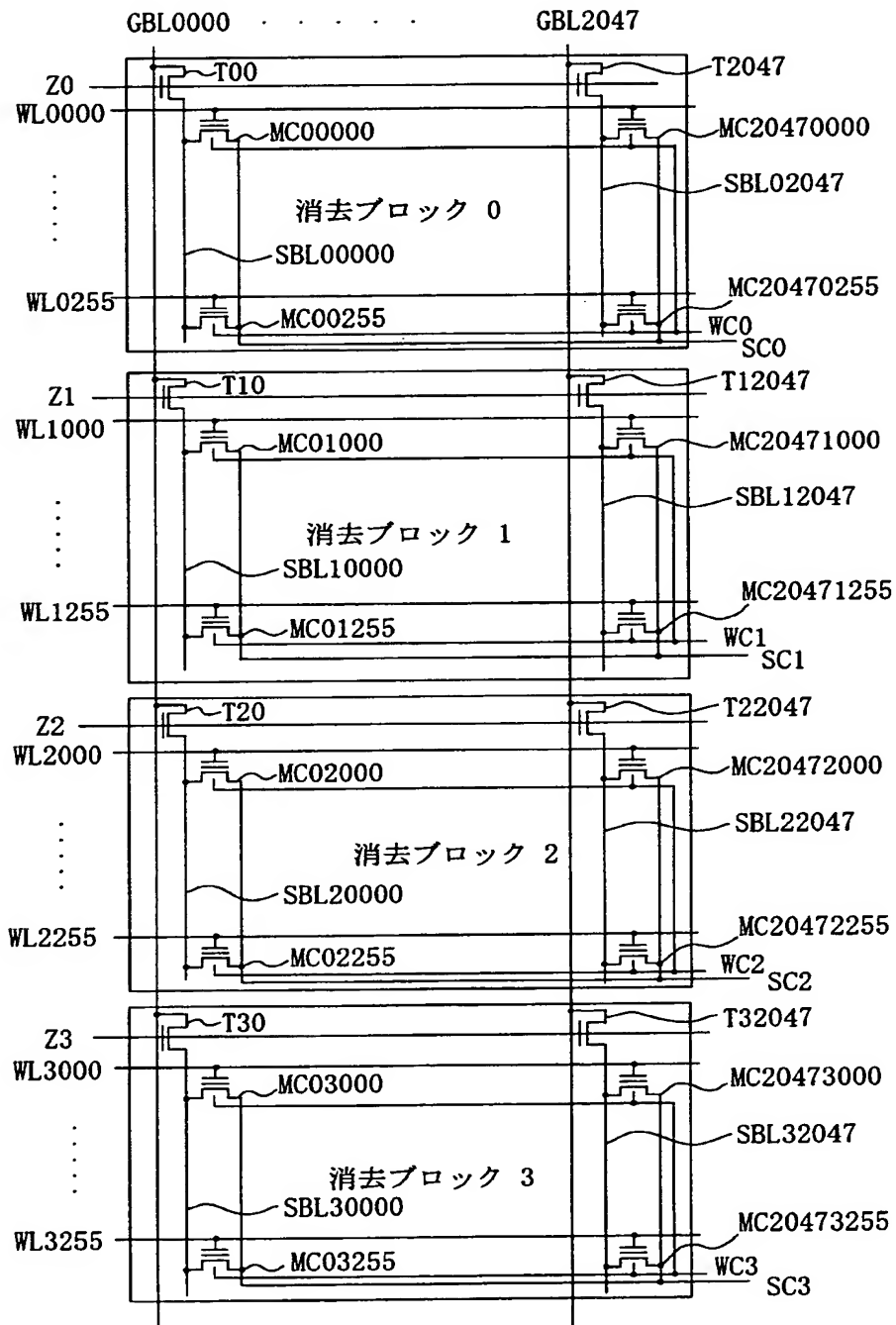


【図 2 3】



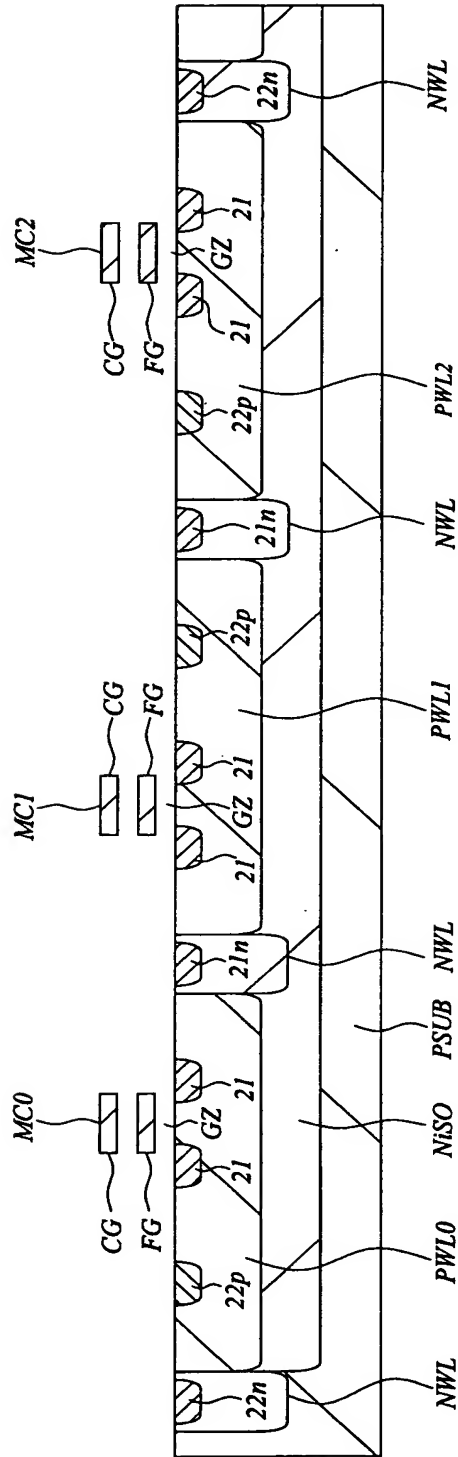
【図 2 4】

図 24



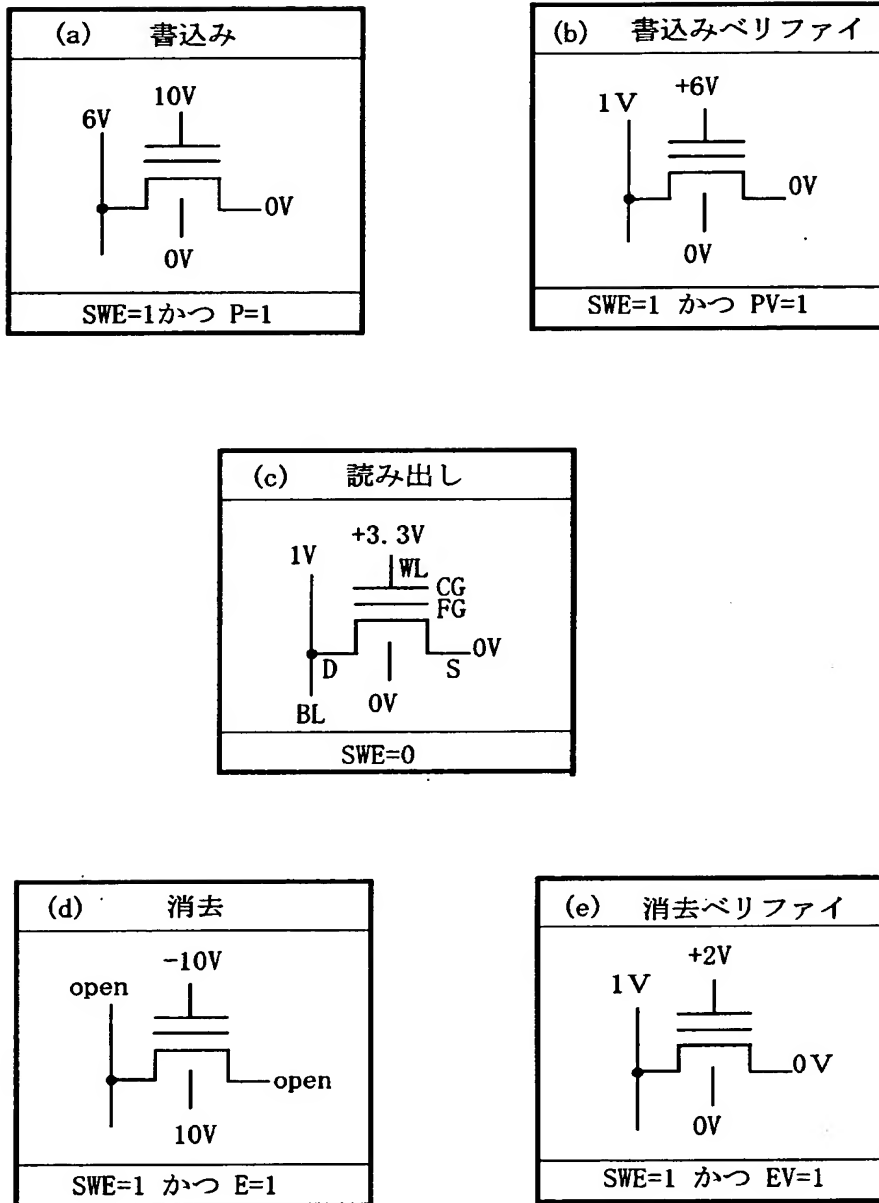
【図 25】

図 25



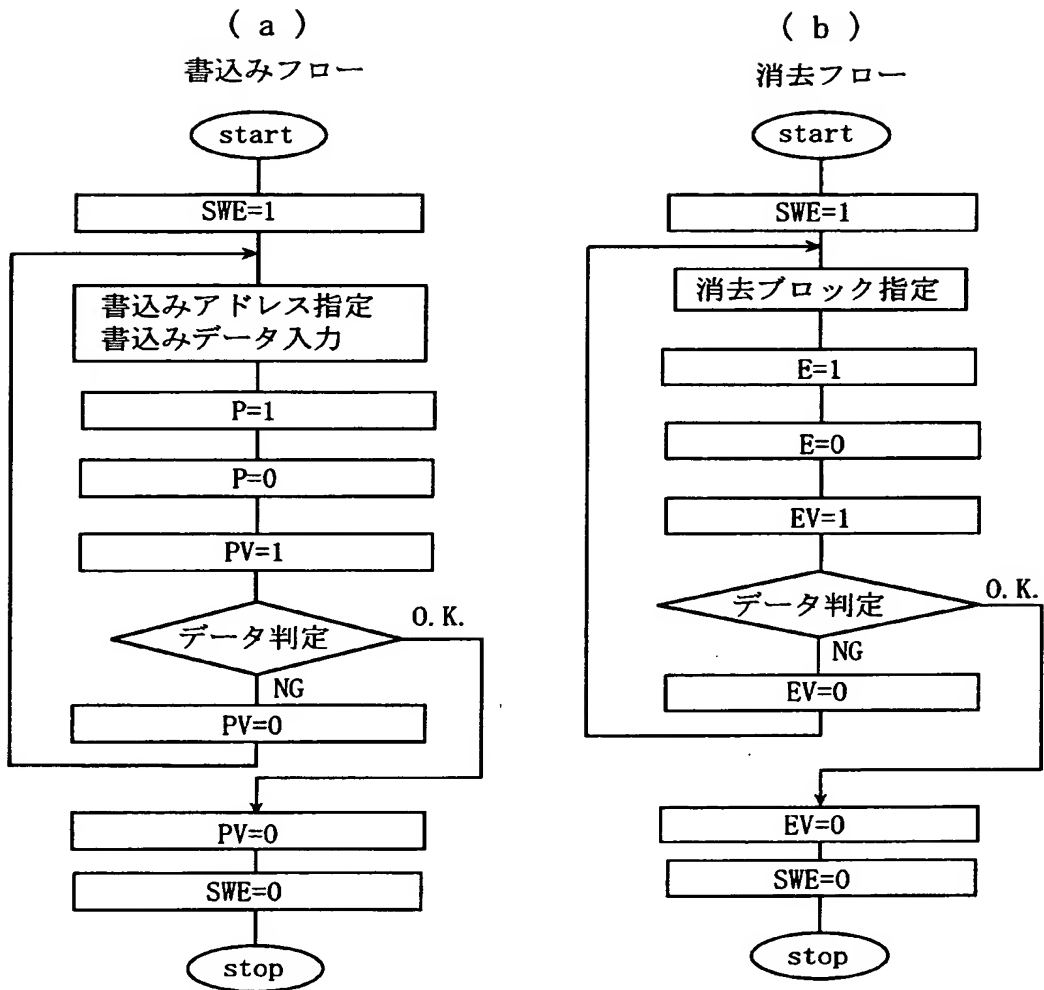
【図 2 6】

図 26

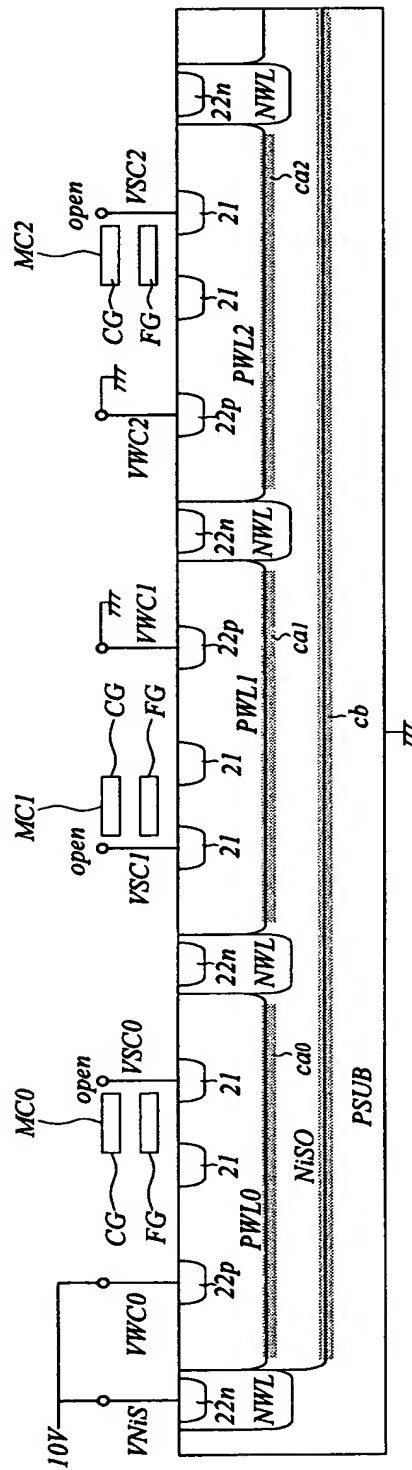


【図 2 7】

図 27

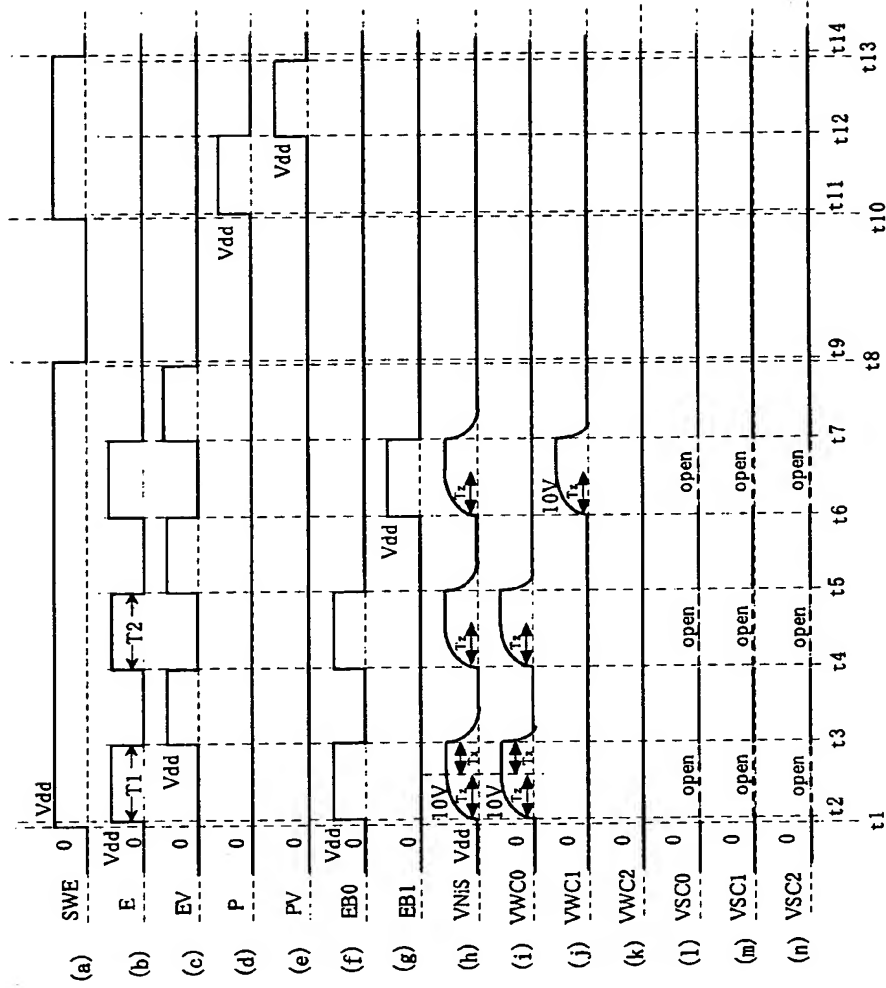


【図 28】



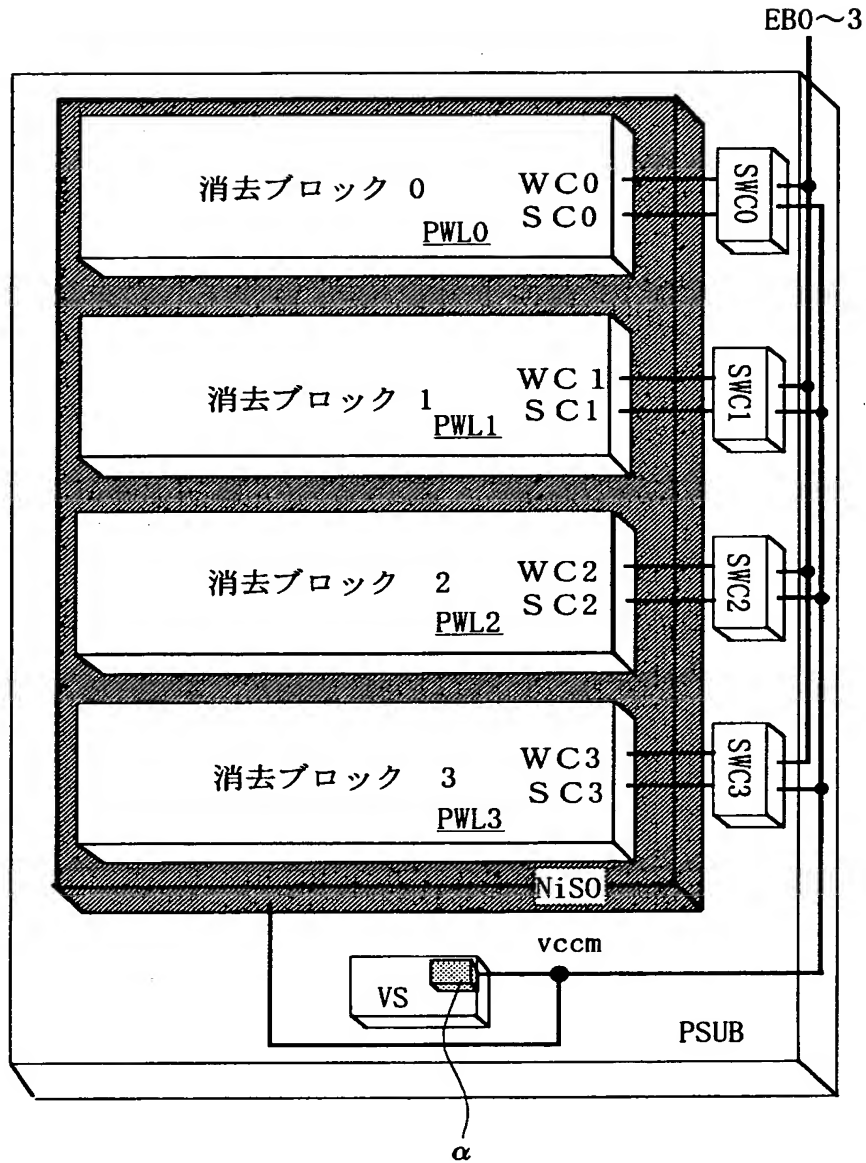
【図 29】

図 29



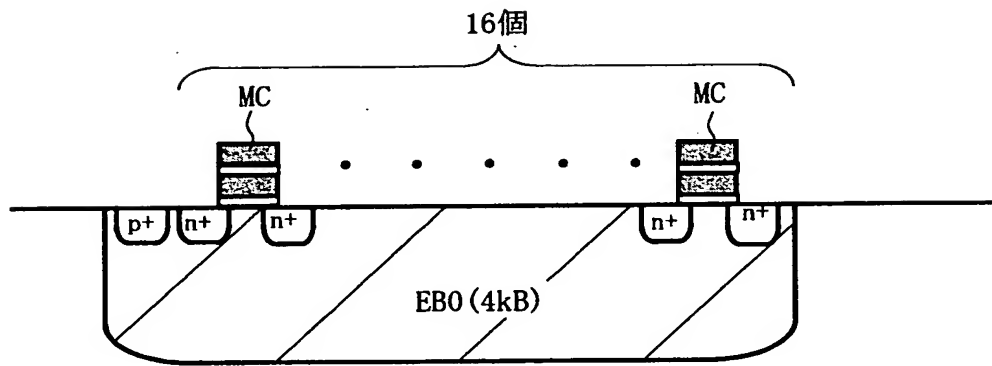
【図 3 0】

図 30

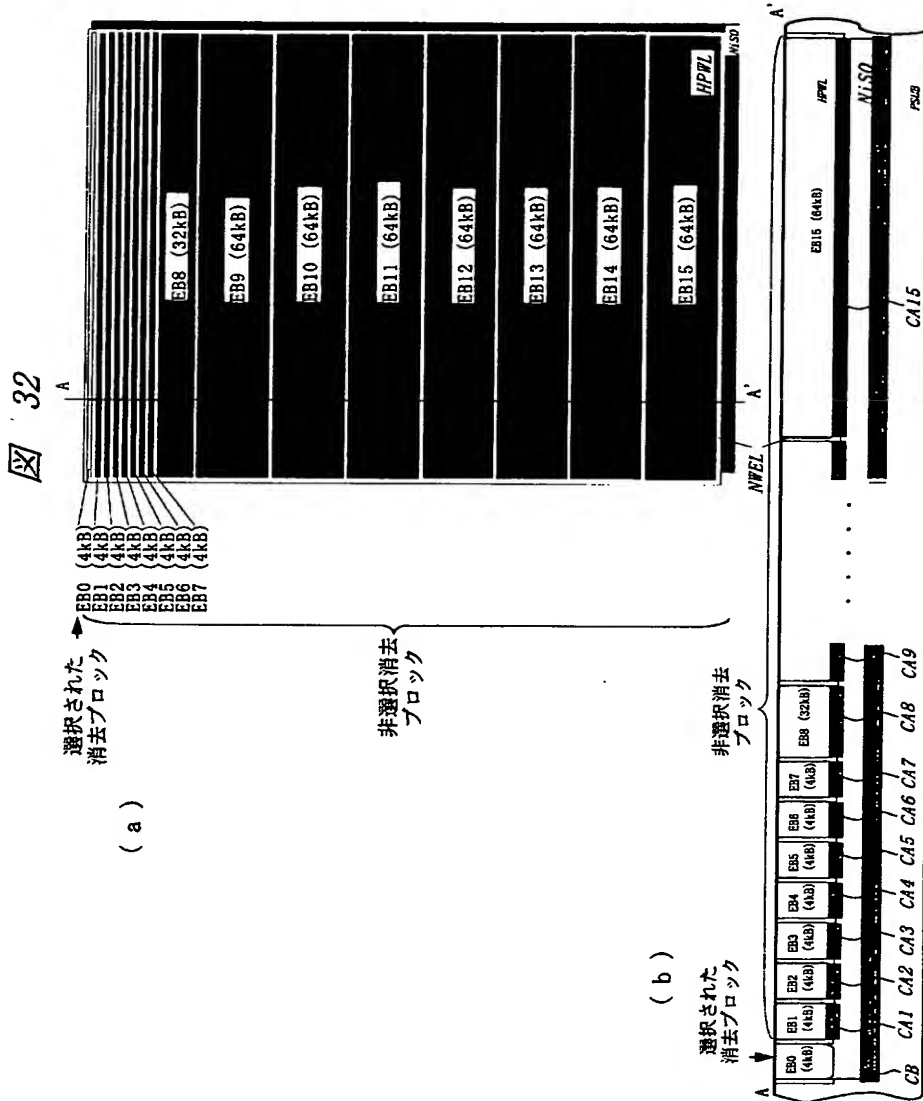


【図 3 1】

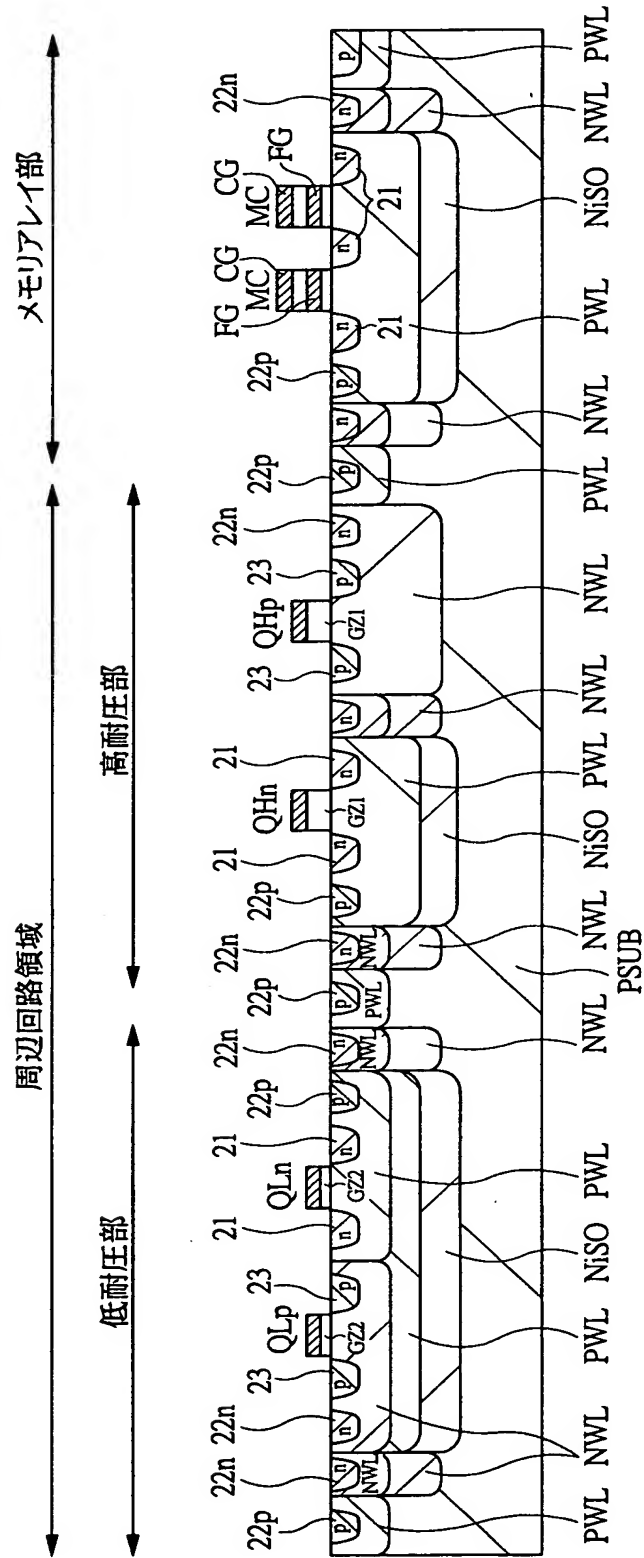
図 31



【図 32】

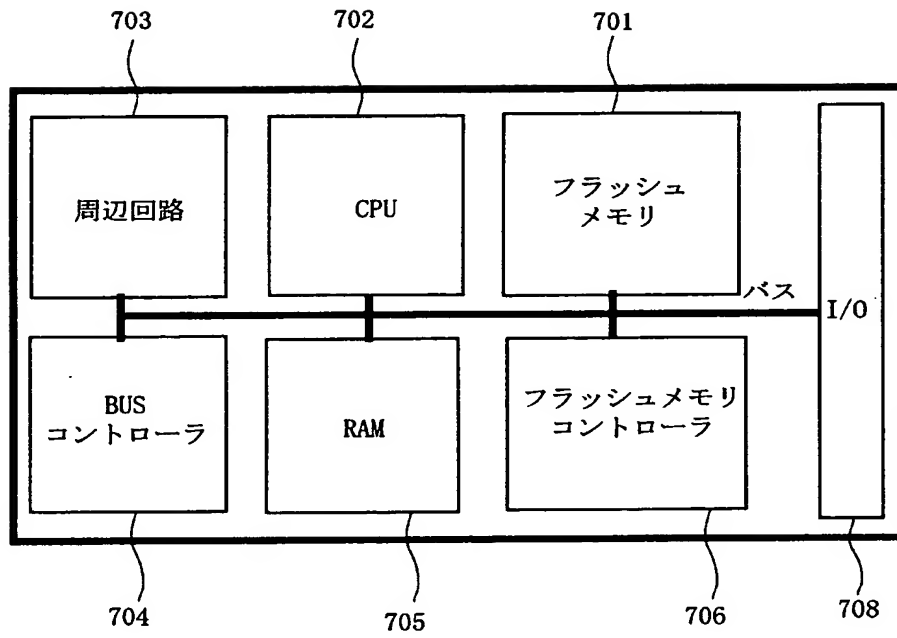


【図 3 3】



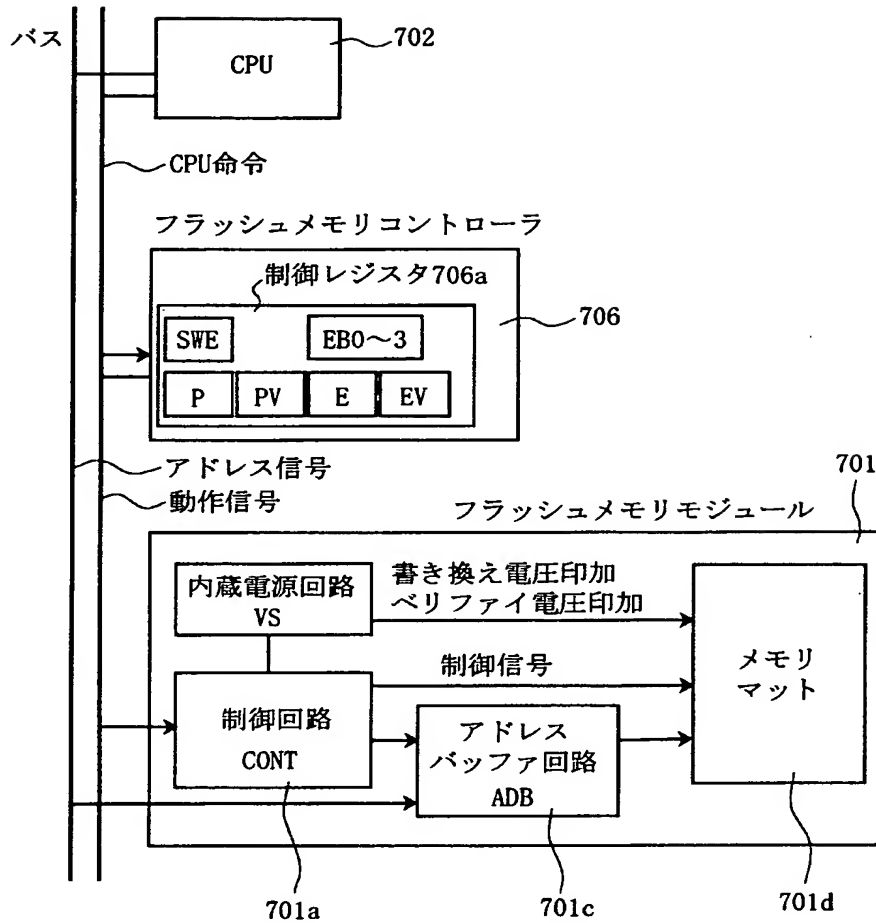
【図 3 4】

図 34



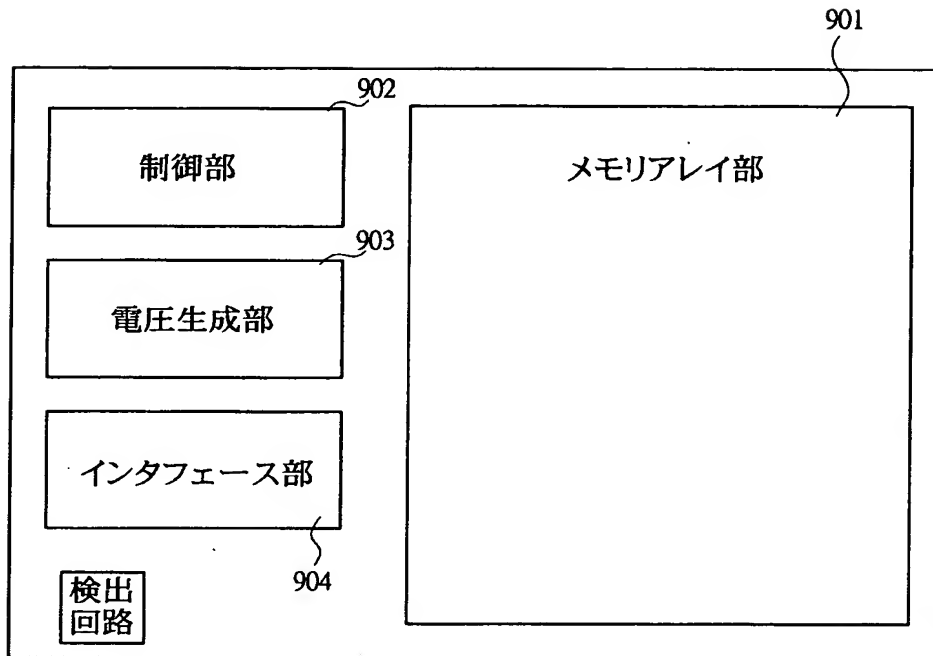
【図 3 5】

図 35



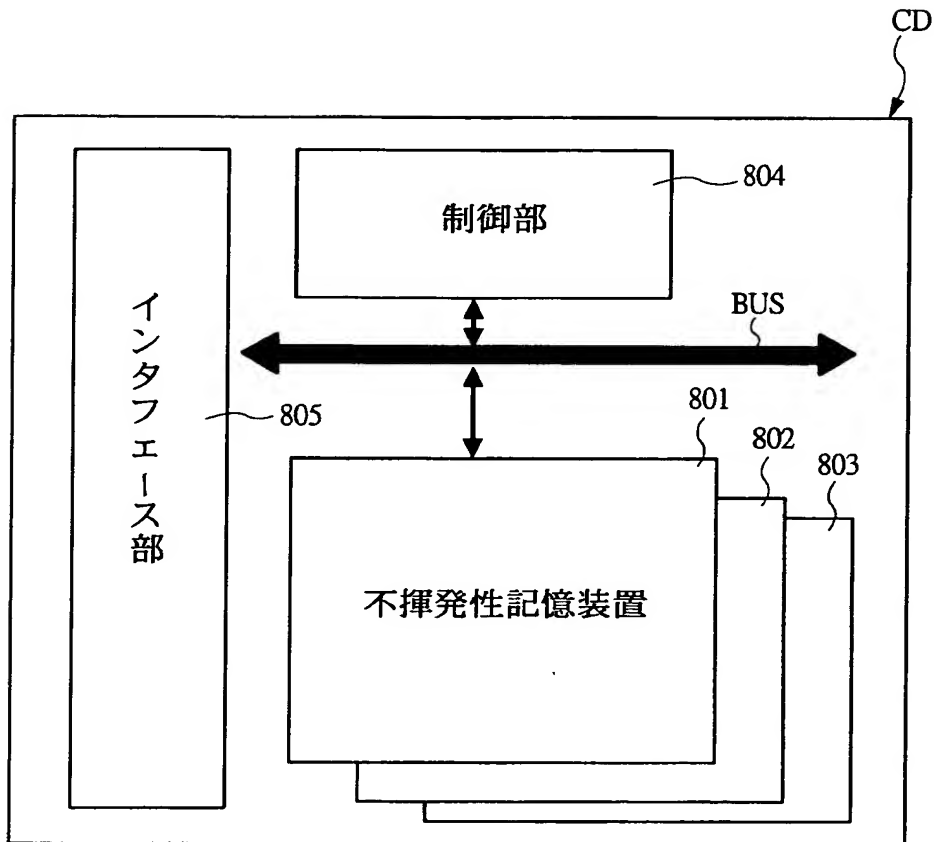
【図 3 6】

図 36



【図 37】

図 37



【書類名】 要約書

【要約】

【課題】 フラッシュメモリ（EEPROM）等の不揮発性記憶装置のデータの消去時間の短縮を図る。

【解決手段】 半導体基板P SUB上に分離領域N i S Oを介して形成されたフラッシュメモリセルMC 0～2のうちメモリセルMC 0に書き込まれたデータを消去する際に、メモリセルMC 0が形成されているp型ウエルPWL 0を1 0 Vに昇圧し、また、分離領域N i S Oを前記p型ウエルPWL 0に電圧を印加する手段とは異なる電圧印加手段を利用して1 2 Vまで昇圧する。その結果、非選択メモリセルMC 1、MC 2が形成されているp型ウエルPWL 1、2のそれぞれと分離領域N i S Oとの間に生じる寄生容量C a₁、C a₂および分離領域N i S Oと半導体基板P SUBとの間に生じる寄生容量C bが、前記電圧印加手段によって充電されるため、寄生容量の充電に要する時間を低減でき、消去時間を短縮することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日
[変更理由] 名称変更
住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立超エル・エス・アイ・システムズ



Creation date: 10-23-2003
Indexing Officer: TDAO - TUAN DAO
Team: OIPEBackFileIndexing
Dossier: 10083602

Legal Date: 04-23-2003

No.	Doccode	Number of pages
1	CTNF	6
2	892	1

Total number of pages: 7

Remarks:

Order of re-scan issued on